

( 付 - 1 )

「パキスタン側技術者及び講議受講者名簿」

1. 技術指導を受けたもの

- |                                  |                         |   |             |
|----------------------------------|-------------------------|---|-------------|
| • SYED NUSRAT ALI                | ( A.D.E. )              | } | circuit lab |
| • WASIM ANWAR KIANI              | ( Eng.Supervisor )      |   |             |
| • ABDUL GAFOOR                   | ( A.E. )                |   |             |
| • AMJID PERVEZ                   | ( A.E. )                |   |             |
| • MUBARIK ALI                    | ( Lab.Assistant )       |   |             |
| • AYAZ QURESHI                   | ( A.D.E. Standard Lab ) |   |             |
| • G.M.SHEIKH ( General Manager ) | 時々                      |   |             |

2. 講議を受講したもの

別紙 ( 付 - 3 P - 27 ) 参照のこと

名簿中常時 7 ~ 8 名出席

3. 技術指導後、技術をある程度理解し、しかも熱心であったため "TECHNICAL CERTIFICATE" を渡したもの

- SYED NUSRAT ALI
- WASIM ANWAR KIANI

以上 2 名

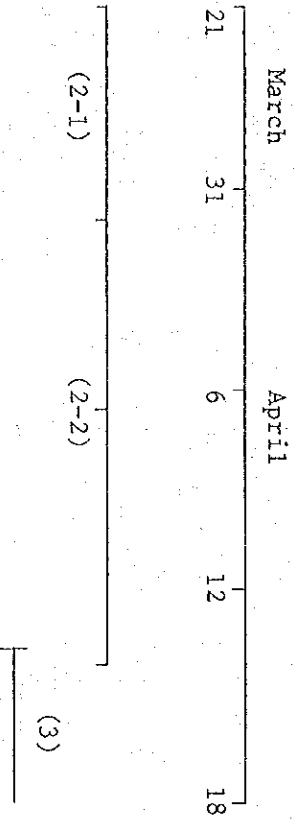
(付 - 2 )

TIME SCHEDULE OF CIRCUIT COMPONENT

I. Micro-Circuit Technology. (Mr. Misawa)

Schedule Items:

- (1) Lecture
- (2) Manufacturing Trial
  - (2-1) Preparation
  - (2-2) Mastering of Equipment Utilization & Application.
- (3) Lecture: Micro-Circuit Technology Future trend.



NO. 020/00-1/10-11/

at Islamabad, dated 11/11/11.

SUBJECT: FUNDAMENTAL COURSE OF MECHANICAL ENGINEERING

It is for information to all concerned that a lecture on the above mentioned subject will be delivered by Mr. A. I. Khan, Lecturer, Export from 24-3-1911 to 15-4-1911 in conference room (Ground floor). The timing will be as under:

LECTURE - 1110 to 1130 hours,

PRACTICAL - 1130 to 1230 hours with break 1230 to 1345 hours.

The following will be the participants from S.S.S.I. Islamabad staff.

- |     |                   |                                |
|-----|-------------------|--------------------------------|
| 1.  | Mr. Asrar ul Haq. | Divisional Engineer (S.S.S.I.) |
| 2.  | Mr. Abdul Rashid. | Divisional Engineer (S.S.S.I.) |
| 3.  | Mr. Fazal Hameed. | Asst. Div. Engr. (S.S.S.I.)    |
| 4.  | Mr. Ayaz Ahmad.   | Assistant Engineer             |
| 5.  | Mr. Aslam Khan.   | Assistant Engineer             |
| 6.  | Mr. Aslam Khan.   | Assistant Engineer             |
| 7.  | Mr. Aslam Khan.   | Assistant Engineer             |
| 8.  | Mr. Aslam Khan.   | Assistant Engineer             |
| 9.  | Mr. Aslam Khan.   | Assistant Engineer             |
| 10. | Mr. Aslam Khan.   | Assistant Engineer             |
| 11. | Mr. Aslam Khan.   | Assistant Engineer             |
| 12. | Mr. Aslam Khan.   | Assistant Engineer             |

## 〔膜集積回路について〕

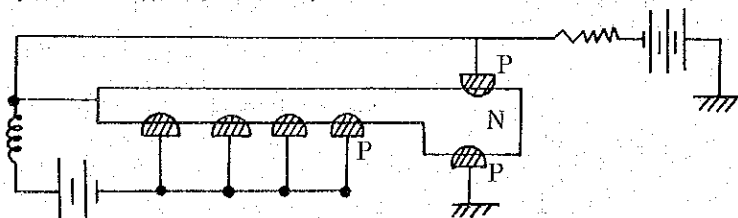
## 〔1〕 Micro Circuit の概論

## 1-A なぜ小型化するのか

- ◎ 短時間に多くの information を処理するため carrier の走行時間を短くする。即ちサイズを小型化する。
- ◎ 電子システムの大型化に伴い、接続部も増加する。これは接続個所の寿命とシステムの信頼性に大きく影響する。このため全体を小型にすると同時に構造の一体化が進んだ。これに関連して IC の構成材料の基本的性質の研究が必要となった。パキスタン CTRL でも今後 IC を作るためには物理、化学、金属などの基礎技術者の育成が不可欠である。
- ◎ エレクトロニクスが広く社会に使用されてくるにつれ、経済性つまり機能あたりの価格をいかに低くするかが重要になる。そのため IC 化の狙いは当初小型化が主だったが、システムの増大に伴い高信頼性と経済性に移行した。

## 1-B IC 化の歴史

- ◎ 第 2 次世界大戦を契機として通信、レーダーなど軍用エレクトロニクスシステムの小型化が始まった。真空管を例とすれば ST→GT→MT→SMT と小型化された。しかし、組立は複雑化してきたのでこの対応策として電子機器の最小単位を個別部品から回路単位に上げることが考えられた。これが MICRO MODULE 或は CORD WOOD (2 枚の絶縁板の間に部品を並べてまとめたもの) などである。
- ◎ 回路単位にまとめることによって接続個所を増加した。これを解決するため受動個別部品と内部配線を同時に作る方法が考えられた。これは平板の上に抵抗やコンデンサーを薄膜や厚膜で相互配線と同時に作る 2D 方式で、1950 年ころに開発された。
- ◎ 1952 年、G.W.A. DUMMER が IC の idea を発表。その後、成長型トランジスタに切込みを入れたダーリントン回路や、一枚のウェハーに切込みを入れた diode matrix が誕生した。
- ◎ 1953 年に RCA から図のような oscillator が合金技術で作られた。これが本当の意味での半導体 IC の始まりである。



- ◎ 1958年RCAのWALLMARRがP-N接合による isolation 法を發明した。現在の半導体ICの多くはこの方法が取られている。
- ◎ 1959年TIのJ.KILBYがMesa Tr と Si bulk を用いて半導体結晶内で各素子を電氣的に絶縁分離しながら、半導体上で再配線するという自由度の高い方法を發明した。これが、所謂ICの基本特許である。又、このころ、Fairchildで planner 技術が開発された。
- ◎ 即ち1950年代後半に現在の半導体ICの基本技術がほとんど出そろったと云える。特にIC特有の技術である素子間分離を中心として発展した。
- ◎ 1960年Epitaxy 技術の併用による isolation と絶縁物 isolation が誕生した。
- ◎ 厚膜ICの実用化は1965年IBM360にSLT (solid logic technology) として module が使用された。
- ◎ 1965年General Microelectronics で回路構成を中心としてMOS ICの特許が出た。MOSは抵抗など受動部品を含めて半導体ICの約4倍の集積密度を有し、現在の digital ICの主流である。
- ◎ IC技術の発展は次の技術の発展と深い関係がある。
  - photolithography
  - automatic testing system
  - clean Room
  - ambient control

### 1-C 集積回路の定義と分類

ICは製造工程又はその機能によって分類される。機能によるものを次頁に記す。

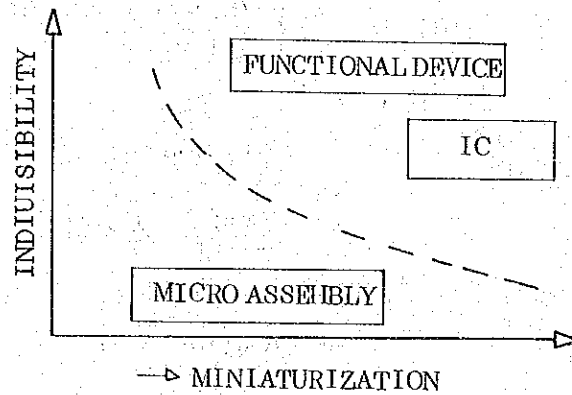
(製造方法による分類)

IC	{	Thin Film	}	蒸着、気相成長或はペーストの印刷により主として受動素子を作る。
		THICK Film		
		Monolithic	}	半導体技術により回路を構成する。能動素子に秀れる。
		MOS		
		Hybrid	}	膜技術による受動素子、半導体技術による能動素子を組合せて回路を構成する。半導体技術で一つの基板上に作り難い Power Tr, FET等は別個に作り multi chipを集める。
Multi-chip				

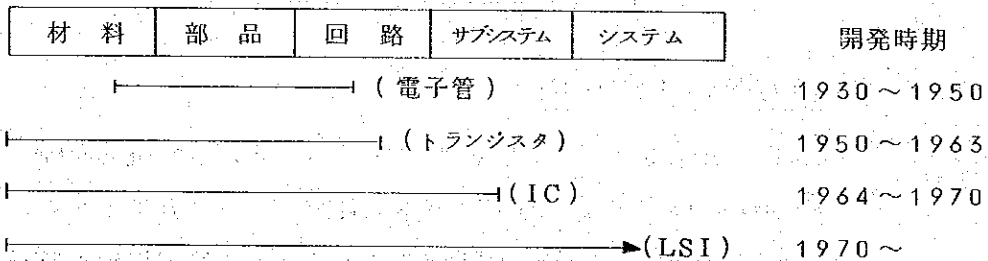
### 1-D ICの定義

定義の方法は少し異なるが、日本では“2つ又はそれ以上の回路素子の全てが基板上又は基板内に集積されている回路で、設計、製造、試験、運用まで1つの単位として扱うもの”としている。つまり“機能を直結する”意味であり、別個に分離することは出来ない (indivisibility) いくつかの部品をいくら高密度に組み込んでもICとは云えない。

IECでは2つの概念を定義している。つまり“超小型で多くの回路素子が一つの基板上又は基板内に分離不能の状態で結合されているもの”この分離不能 (INDIVISIBILITY) は工程を簡素化し、高信頼性と低コストを得る。

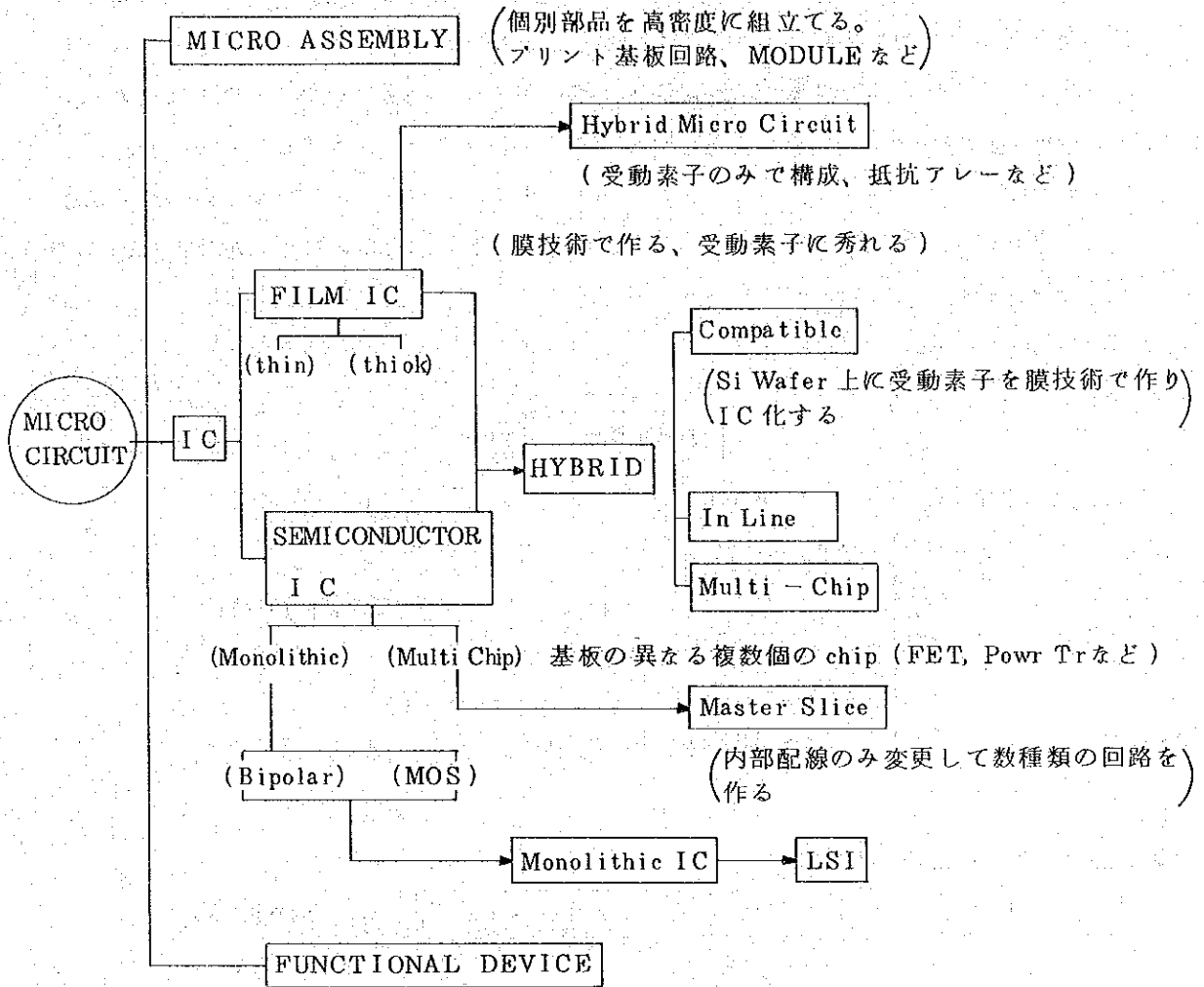


### 1-E 設計、開発のための関連技術



上図で分るようにエレクトロニクスは材料も含めて全ての技術の結果である。特にLSI、ICではシステムと一体化しての設計思想の改革が必要である。つまりユーザーとメーカーの関係は不可分で、両者は製造能力、技術を結集して目標を定める必要がある。CTRLでも他の研究室との協力が必要である。

1-F (機能による分類と定義)



機能を combine するという集積化の概念を一步進めて Molecular Electronics の概念  $\text{⊗} \rightarrow \square \rightarrow \text{⊕}$  の機能が有れば内部はどうでも良い。つまり IC の様に等価回路の対応はない。例えば TRANSDUSER はその一種と考えるが良い。

1-G MICRO-CIRCUITの製法の差による特徴

製 法	MICRO-ASSEMBLY	F I L M	SEMICONDUCTOR
信 頼 性 故障率 ( /個時)	$10^{-6} \sim 10^{-7}$	$10^{-6} \sim 10^{-7}$	$10^{-6} \sim 10^{-7}$ (個別部品の1/100程度)
製 造 費 用 (ランニングコスト)	(小量) 低い (量産) 低い	中間 低い	高い 低い
抵 抗 範 圍	$1\Omega \sim 1M\Omega$	$1 \sim 10M\Omega$	数 $10\Omega \sim$ 数 $10K\Omega$
最 大 容 量 (C)	$1 \sim 10\mu F$	$0.1\mu F$	$50pF$
素子の精度 (%)	(受動素子) $\pm 5\%$ (能動素子) $\pm 10 \sim 20\%$	$\pm 10\%$ $\pm 10 \sim 20\%$	$\pm 20 \sim 30\%$ $\pm 20 \sim 30\%$
回 路 設 計 試 作 期 間	設計自由度大 5日	厚膜 10日 薄膜 20日	設計自由度限界 3ヶ月
集 積 密 度 (個/cm <sup>2</sup> )	5~20ヶ	$10^2 \sim 10^3$ ヶ	$10^4 \sim 10^5$ ヶ
温 度 の 影 響	小	小	大
適 する 回 路	linear high frequency power switching	high F linear 受動素子の多い 回路	量産性の高い digital standaral linear 能動素子の多い 回路



1-H 製法の差による抵抗値の範囲

	個 別 膜			半 導 体	
	(カーボン)	厚 膜 (Ag-Pd)	薄 膜 (Ta <sub>2</sub> N)	BIPOLAR (拡散)	MOS (拡散)
範 囲	数Ω~数10M	数10Ω~数MΩ	数Ω~数100K	数10Ω~100K (Rs=100~4KΩ)	数100Ω~数Ω
精 度	±0.1%	±1%	±0.01%	±20%	±20%
TCR (PPM/°C)	±350~1000	-100~200	数10	1500~2000	+1000
POWER	10W	数10W	数W	20mW	200mW
経年変化 (%/年)	1~10%	数%	0.1%以下	数%以下	〃

(2) CONTAMINATION (汚染) について

個別の講義に入る前に特に contamination について述べる。エレクトロニクス、特にICの製作過程での製品に対する種々の汚染はその品質、歩留りなどに重大な影響を及ぼす。パキスタンにおいて清潔に又、注意深く製品や材料、装置類を取扱うことに不慣れであり、これでは何を作っているのか全く分からなくなってしまう。そのため、実習を始める前に特に“汚染”について頭に入れてほしい。実習中もその都度注意し、汚れが有るとき、どういう結果が生ずるか身をもって体験し理解してほしい。

2-A —汚染の原因は何か—

大きく分類して原因として微粒子などの固形物とイオンなど化学的なものに分けられる。これらは環境或は技術者の身体や衣類などから作業中の不注意やピンセット、ピーカーなどの治工具によって汚染される。代表的なものを次に記す。

固 形 物

人髪 (hair)、つケ (dandruff)、紙や衣類等の繊維 (fiber)、  
砂、泥 (sand, mud) など

化学的なもの

手あか、脂肪 (fat, grease) 油 (oil mist)、金属イオン (Au, Li などの  
重金属イオン、Naなどのアルカリ金属イオンなど)、バクテリア (bacteria) など

## 2-B ——如何にして清浄な環境、雰囲気を作るか——

人為的なものは良く治工具類を清浄に保ち絶対に裸の手で触れないとか、無塵衣を着用するなどの注意で防ぐより方法が無いが、他のものは専用の装置を使用することによってある程度汚染を防ぐことが出来る。方法の例を次に記す。

### ○ 空気(環境)

クリーンルームは部屋の内圧をプラスにし、0.35 μ程度のフィルターを通して外気を室内に送り込む。入口はエアシャワー等でゴミの持ち込みを防ぐ。その他特に清浄度を要求される場所はクリーンベンチを用いる。作業者は無塵衣、クツを着用し、使用する治工具、容器など全て良く洗浄して持込む。紙なども繊維のない特種なものを使用する。

### ○ 純水

イオン交換樹脂、逆浸透純水装置、蒸留水装置、紫外線殺菌装置等とセルローズ系の水フィルターを組合せて使用する。

### ○ ガス

水素、酸素、不活性ガスの高純度のものを単独又は混合して用いる。用意された高純度ガスをボンベから得る場合もあるが、別個に水分や微量の他の不純物ガスを化学的に吸着して取り除く装置類が開発されている。例えば水素はAg-Pd合金の筒を加熱し広がった分子間を小さな水素ガスのみ通過させるなどの方法を取る。フィルターは空気の場合と同様のものを使用する。

## 2-C ——どうやって測定するか——

微粒子については、室内空気サンプルを測定箱の内に取り込みレーザー光などを照射して光の散乱により測定する方法と、一定時間の間サンプル空気をフィルターを通過させトラップされた粒子の数を顕微鏡で測定し計算する。

純水については、電気伝導度で測定する。理論では純水で18 MΩの値である。

## 2-D ——クリーンルームの程度の表し方——

クリーンルームは一般にclass100,1000,10000などの表示をする。これは米国連邦規格(209a)により次のように定められる。

“1 ft<sup>3</sup>あたりの0.5 μ以上のparticleの数”である、つまりclass100とは1 ft<sup>3</sup>の立方体の内に0.5 μ以上の大きさの粒子が100個程度まで許される清浄度(cleanness)ということである。最近ではメトリック換算で表すこともある。1 ft=0.305 mなので

$$\text{class100は} \frac{100\text{ヶ}}{(0.305)^3} \doteq 3.5(\times 10^3)\text{ヶ}/\text{m}^3\text{となる。}$$

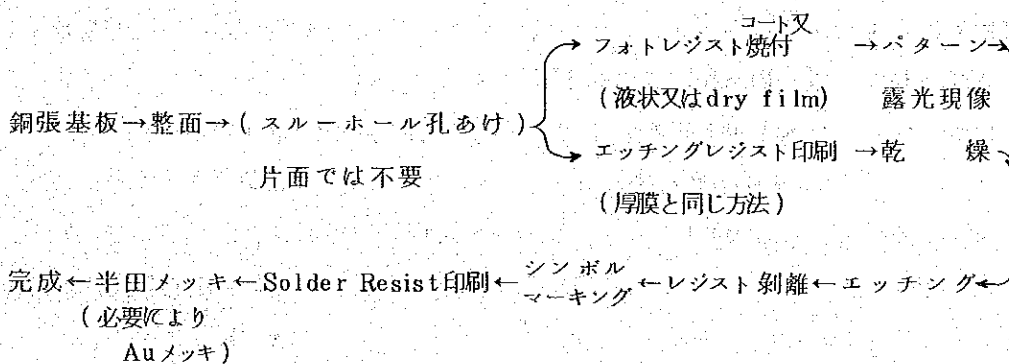
class100 と言ってもその清浄度は感覚的に分りにくいと思う。例えば3" ( $\approx 0.075m$ ) の角型基板に5mm角のICが多数作られているとする。この基板上1mの高さにある空間がclass100であって、その角柱内のゴミが基板上に落ちて付着し欠陥を生じるとする。角柱内のゴミは  $3.5 \times 1.0^3 \times (0.075)^2 \times 1 \approx 20$  ケである。3"角基板上5mm角のICは約225個 ( $\approx \frac{75^2}{5^2}$ ) あり、上記ゴミが均等について、不良が発生するとすれば  $\frac{20}{225} \approx 8.9\%$  の不良 (91%の歩留りが発生する。ICでは4~8回のプロセスが必要であり、全てに同じと仮定すれば、8回のプロセスでは  $0.91^8 \approx 47\%$  の良品しか得られない。如何にclass100でも影響が大きいかが分る。一般の事務室ではclassは100,000程度である。IC製造ではclass100~1000程度であり、wafer処理のクリーンベンチ内ではclass0.1程度である。

### (3) プリント回路基板 (PCB)

銅張積層板 (厚さ1.6mmのエポキシ、フェノール樹脂を補強用のガラス布などと硬化した板上に35 $\mu$ 厚みの銅箔を熱硬化性樹脂で熱圧着したもの) 上の銅層の上にホトリジスト等で回路パターンを描き、化学的にエッチング (etching) して回路を作り、単体のTrやR.Cを半田付する。このPCB (Printed Circuit Board) は現在ほとんどの電子装置に使われている。

ICの設計に当っても必ず使用する電子部品をPCB上で組立てて回路設計をしなければならぬ。エレクトロニクスに不可欠の技術でありながらCTRLにおいて、このため装置と技術が導入されていないのでICの研究を進める上で重大な障害となる。次回、日本より援助によってPCB関係の装置の一部と技術が供給される予定なのでその勉強と準備をしておいてほしい。

次に両面スルーホール基板の一般的な工程を述べる。



今回の供与装置には写真フィルム用 reduction camera, photo resist couter, 乾燥機, etching 装置及び関連薬品類を含んでいる。不足分は既にCTRLに入っている装置類を共通で使うこととする。但しメッキ関係は含まれていないので、スルーホール両面基板、Au、半田メッキ、Solder resistの印刷等は出来ない。

#### [4] Film IC (thin film, thick film)

集積回路の製造技術の難易度は Micro Assembly (PCB も含めて) → thick film → thick film semiconductor の順で難しくなり、集積度も高くなる。

ここで film IC とは膜形成技術によって IC の受動素子及び導体を作るものである。既に CTRL に入っている蒸着薄膜による thin film technology と次回供与されるであろう thick film technology について述べる。これによって上記集積回路のうち Semiconductor を除いた全てが CTRL にそろい、今後必要となる回路の目的と特徴によって技術と製法を使い分けることが出来る。

薄膜技術については今迄でも指導しているし、パキスタン技術者も或る程度理解しているので詳細は講議しないが、実験方法と条件の例を 56~60 頁 (付-6) で説明する。又、厚膜は次回、装置類がそろった時点で再度行いが、簡単に述べる。英文で書かれた概説を 50~55 頁 (付-5) に述べてあるので、それと贈呈した参考書類で充分勉強しておいてほしい。

そのため、今回の講議では主として、①特徴、②回路設計法、及び③薄膜の物性について述べる。

#### 4-A Film IC の特徴

半導体 IC がトランジスタ等の能動素子 (active element) を作る上で秀れていて、それを中心に発展してきた。一方、薄膜 IC、厚膜 IC はその技術及び構造上から抵抗などの受動素子 (passive element) を作るのに適している。薄膜で能動素子を作る試みはなされているが満足するものは得られていない。故に、一般に Film IC と云われているものは、アルミナ等の絶縁物基板の上に抵抗、容量及び内部配線を形成し、能動素子を組込んだ混成集積回路 (Hybrid IC) である。

Thin Film と Thick Film の定義を明確に区別することは難かしいが、次のように考えて良い。

##### (Thin Film)

原子或は分子状態の材料を重ね合せて回路を構成する。層の厚みは数 100 Å ~ 1 μ 程度、パターン巾は約 50 μ 程度以上が一般的である。実用的な面抵抗  $R_s$  は平滑なガラス面上で 200~300 Ω/□ を選ぶ。これから分るように大きな抵抗、大きなパワーの IC は適さない。膜の形成は真空蒸着、スパッタリング或は化学的な気相成長によって作り、パターンは化学エッチングで作る。これらの工程を繰返して R、C 及び導体を作っていく。

##### (Thick Film)

ペースト状に混合された macroscopic な金属、合金及び透電体微粒子を 250 メッ

シユ程度の網目に作られたパターンを通してスキージ印刷する。層の厚みは $\sim 50 \mu$ 程度、パターン巾は $100 \mu$ 以上が一般的である。印刷、乾燥後、酸化又は還元雰囲気中で焼成する。これらの工程を繰返してR.C及び導体を作る。薄膜に比較して設計の自由度は高い。

#### 4-B 金属薄膜の性質

薄膜抵抗はNiCr合金を良く用いる。厚みは $200 \sim 400 \text{ \AA}$ 程度に選択し、面抵抗 $R_s$ を決定する。金属がこの程度に薄くなるとその性質はbulkの元のものとは異なってくる。厚みの他に蒸着速度、蒸着時間、真空度、基板の表面状態などによっても変化するのでCTRLでこれらの条件による性質の変化のdataを取って行く必要があり、これが無いとICの設計は不可能である。

##### ——膜厚と電気抵抗率——

抵抗率は次の式で表される。

$$\rho_d = \rho_0 \left( 1 + \frac{3}{8} \cdot \frac{1}{d} \right)$$

$\rho_d$  = 厚さ $d$ における抵抗率

$\rho_0$  = bulkの抵抗率 ( $108 \times 10^{-6} \Omega\text{-cm}$ )

$d$  = 膜の厚さ ( $\text{\AA}$ )

$l$  = 電子の平均自由走行距離 (Mean Free Path, 普通金属で数 $100 \text{ \AA}$ )

上式で分るように例えば $l = 300 \text{ \AA}$ ,  $d = 300 \text{ \AA}$ とすれば $\frac{1}{d} = 1$ となり、 $\rho_d \approx 1.38 \rho_0$ つまりbulkの抵抗率の約1.4倍高くなる。膜が $1 \mu$ 以上となれば $\frac{1}{d}$ は2%以下になり厚みの影響は無視できる。

面抵抗 $R_s = \frac{\rho_d}{d}$ で表されるので上式を代入すると、次式で表せる。

$$R_s = \frac{\rho_d}{d} = \frac{\rho_0}{d} \left( 1 + \frac{3}{8} \cdot \frac{1}{d} \right)$$

高い抵抗値を得るためには高い $R_s$ が必要であり、 $1/d$ を大きくすれば良い。このことは電子のmean free pathよりもずっと小さい厚みにすることであり、例えば厚さは数 $10 \text{ \AA}$ になってしまふ。つまり薄膜で高い抵抗値とパワーを得ることは不可能である。

##### ——膜厚と温度係数——

膜厚が薄くなると温度係数TCRは次のように変化する。

・数 $1000 \text{ \AA}$ 以上

TCRは+

$\rho$ はbulkの値に近い。

・数 $1000 \sim$ 数 $100 \text{ \AA}$

TCRは±

・数100Å以下

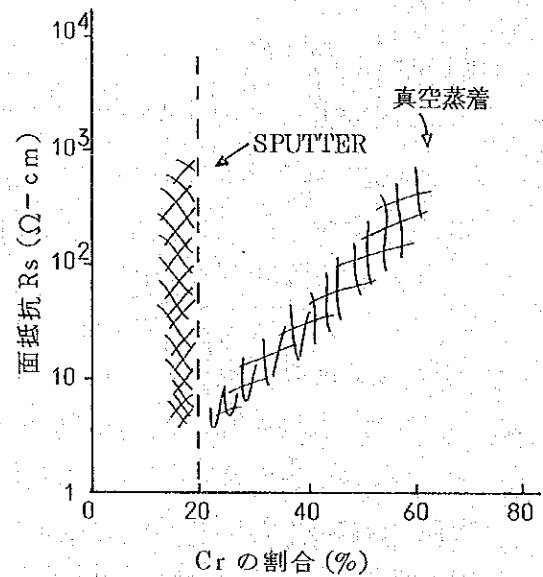
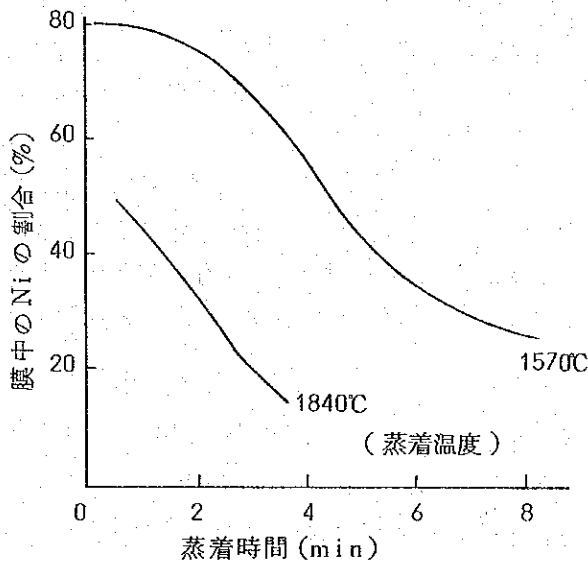
$\rho$ は $f_d$ の式により変化する。

TCRは—

$\rho$ は $f_d$ の式により高くなる。この状態では膜というより、金属粒が島状に附着し、その境界で接続しているような不安性状態になる。

— 膜の組成 —

80:20 NiCr合金を良く使う。蒸着する場合、NiとCrの蒸気圧の差によって、蒸着時間が長くなると下図左のようにNiの組成が減少する。又、蒸着温度にも関係する。スパッターではほとんど組成の変化は無い。下図右にCrの割合に対する面抵抗 $R_s$ の変化を示す。



4-C—薄膜の抵抗設計—

抵抗 $R$ は次式で表せる。

$$R = \frac{f_d}{d} \cdot \frac{l}{w} = R_s \cdot \frac{l}{w}$$

ここで  $R_s = \frac{f_d}{d}$

$l$  = 抵抗の長さ

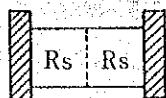
$w$  = 抵抗の巾

$d$  = 抵抗の厚さ

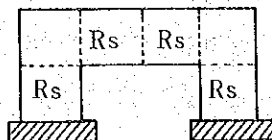
$\rho/d$  = 厚さ  $d$  のときの抵抗率

$R_s$  は種々の蒸着条件と厚さによって決る。 $R_s$  が決定すれば抵抗値は上式で簡単に計算できる。但し消費電力の関係で寸法の限界があり、後述する。

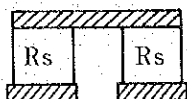
狭い基板上に数個の抵抗を入れるためにはパターンは直線では不可能で、折曲げる必要がある。その時は折曲げ部での電流密度が異なり、そのため抵抗値の補正をする必要がある。補正の例を下に示す。



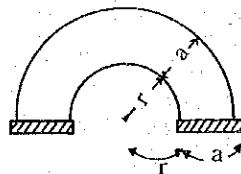
$$R = 2 R_s \quad (\text{補正 } 0)$$



$$R = 4 R_s + 0.55 \times 2 R_s = 5.11 R_s \quad (\text{補正值 } 0.55)$$



$$R = 2 R_s \quad (\text{補正 } 0)$$



$$R = \pi R_s \log \frac{r+a}{r}$$

#### 4-D—薄膜抵抗の熱設計—

膜抵抗の設計は  $R_s$ 、長さ  $l$ 、巾  $w$  及び補正值を入れることによってだけでは充分でない。つまり、薄い膜ではあまり大きな電流密度は得られないし、大きな電流を通すことは発熱の問題が生ずるので厚みを大きくすれば、必要の抵抗値を得るために非常に大きな面積を必要とし、IC基板上で処理することは不可能である。詳しくは参考書、データ表を見てほしいが、簡単に説明する。

一般に回路に含まれる抵抗が  $R_1 \sim R_N$  まで  $N$  個存在するとすれば  $N$  番目の抵抗  $R_N$  は次式で表せる。

$$R_N = R_s \cdot \frac{L_N}{W_N}$$

使用する抵抗材料の単面面積あたりの許容消費電力を  $P_0$  とする。power consumption  $I^2 R$  であるが、基板からの放電条件により変化し、NiCr 抵抗、アルミナ基板で  $0.4 \sim 3 \text{ w/cm}^2$  程度である。放熱板を基板に取り付けるとか、金属アルミの表面を酸化絶縁したものではもっと大きくなるが、普通には  $15 \text{ mw/mm}^2$  位である。

実際に必要な電力を  $P_N$  とすると、

$$P_N = P_0(W_N \cdot L_N) \text{ で表せる。}$$

これより  $P_N/P_0 = W_N \cdot L_N$  と  $R_N$  の式から次の関係がある。

$$W_N = \sqrt{\frac{P_N}{P_0} \cdot \frac{R_s}{R_N}}, \quad L_N = \sqrt{\frac{P_N}{P_0} \cdot \frac{R_N}{R_s}}$$

又、各抵抗が使用環境温度で安定に動作するための抵抗面積は次式で表せる。これらは換算グラフに作っておくと良い。

$$A_g > P_N/P_0$$

$A_g$  = 面積 ( $\text{mm}^2$ )

$P_N$  = 最高周囲温度での許容消費電力 (W)

$P$  = 上記における最大負荷率 (単位面積)

### [5] Monolithic IC

膜ICが絶縁物基板の上に抵抗、容量、導体を構成し、各々の受動素子間の分離は空気、絶縁物であるのに対し、半導体ICはシリコン(Si) 基板の内部に拡散技術によって添加物をしみ込ませて素子を構成する。素子間の分離はいくつかの方法があるが、P-Nダイオード接合による電気的な分離法が多く用いられ特徴の一つである。P-N分離(isolation)はその境界に寄生の抵抗、容量が存在することであり、これを考慮に入れてICの設計をしなければならない。

半導体ICを作るには簡単なシステムでも数10億円の設備投資が必要である。(一台の装置でも一億円(Rs 5,000,000/-)を越えるものがいくつかある。)又、環境、処理のCleannessも膜ICに比して数段高い管理が必要なので現時点では半導体技術をバキスタンで導入するのは非常に無理がある。ここでは簡単に概念のみ説明する。

Semiconductor Monolithic ICはその構造によってBipolar, MOS及び両者の組合されたComplimentary ICがある。Monolithicとはギリシャ語で“単体の石”の意味である。集積回路と呼ばれるものは“全ての能動素子と受動素子が一つの半導体基板(通常シリコン)中に形成されている”ことからこう呼ばれている。

次頁以降、簡単に上記3種のICの製造工程とその断面図を記す。又、共通技術としてMask製作と、Photo Resistによるpattern作成技術を述べる。最近ではmaskを使わないとかpatternを作るために従来のwet processからdry processへの発展など種々の技術が開発されているが、原理は変わらない。なお、これらの技術はCTRLにおけるThin Film Technologyと共通なので理解され易いと思う。



— Photo Mask 製作 —

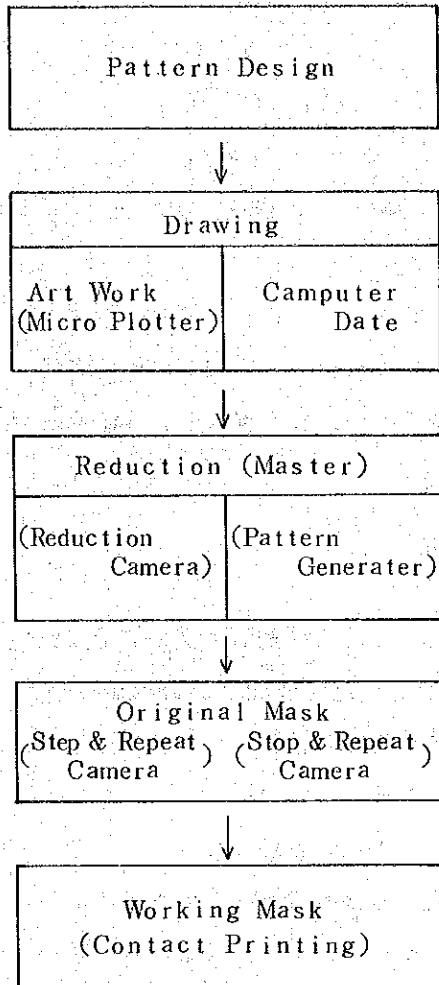
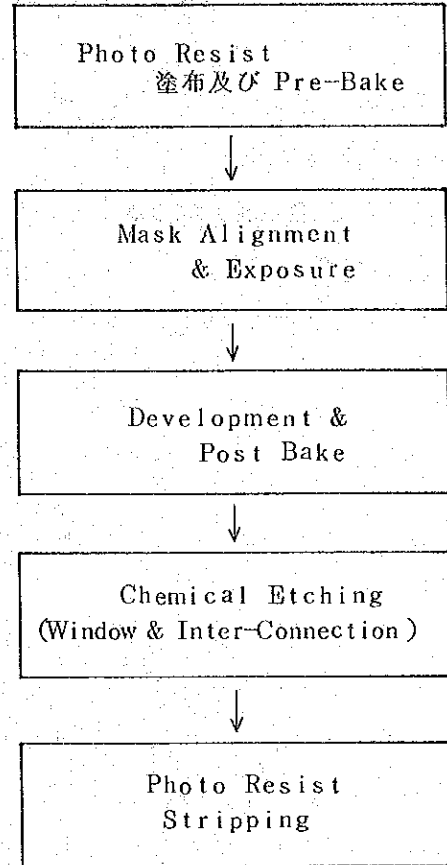


Photo Resist 工程  
で使用

— Photo Resist 工程 —



PR 工程  
として次頁各工程  
中に適用される

— Monolithic IC —

Silicon Single Crystal



Si(P-type) Slice



Oxidation



Window  
(Buried Layer用)

← PR



N<sup>+</sup> Buried Layer  
用 Diffusion



Oxide Layer  
Etching



N-type  
Epitaxial Growth

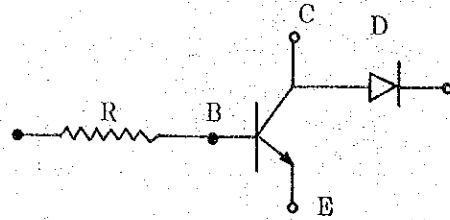


Oxidation  
P-isolation用Window

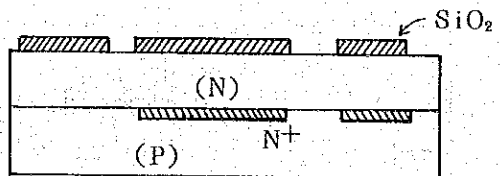
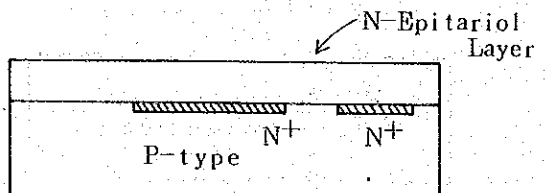
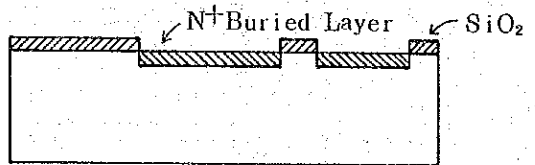
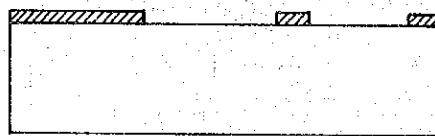
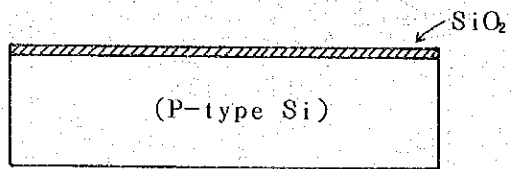
← PR

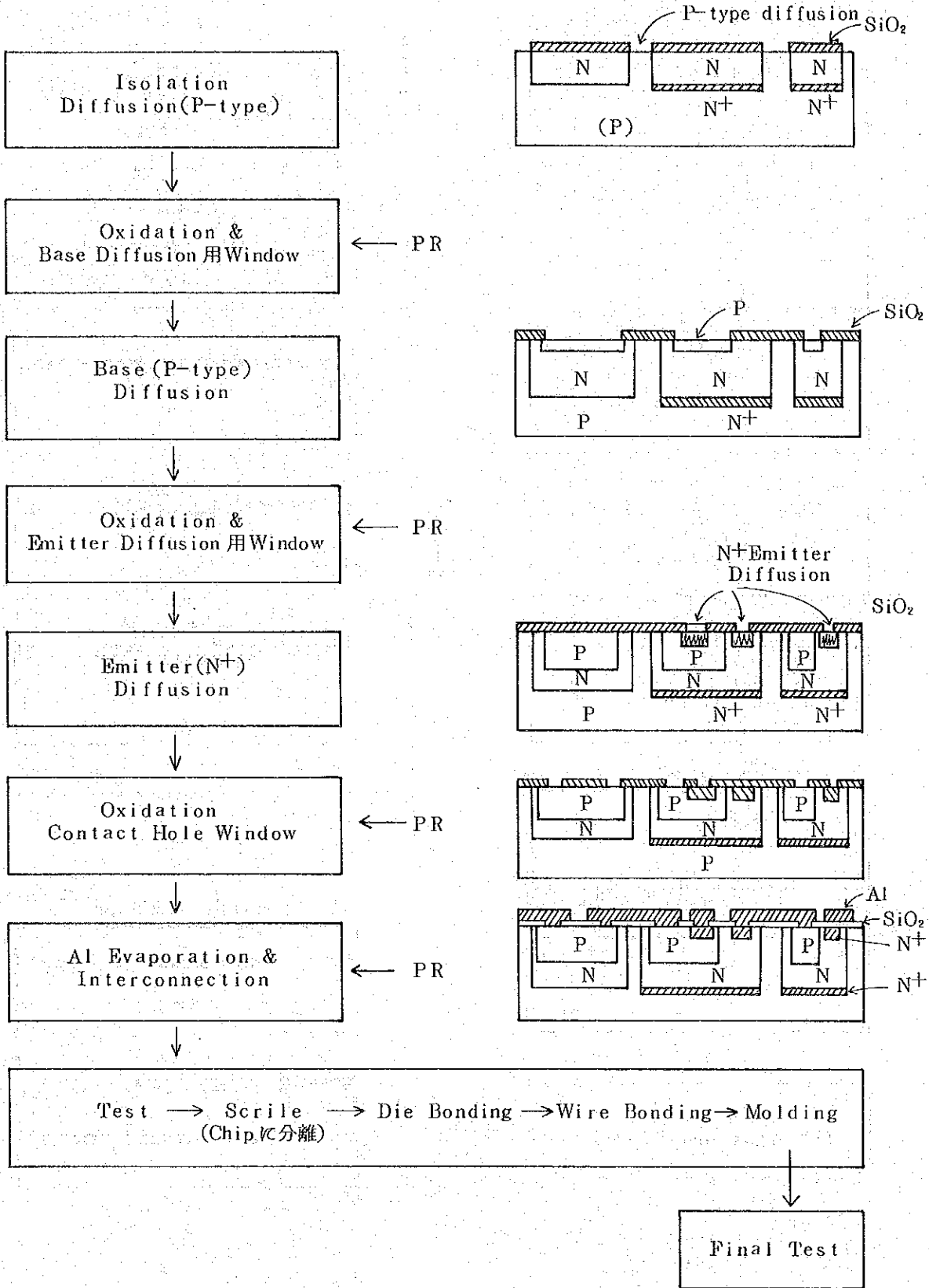


(Continued)

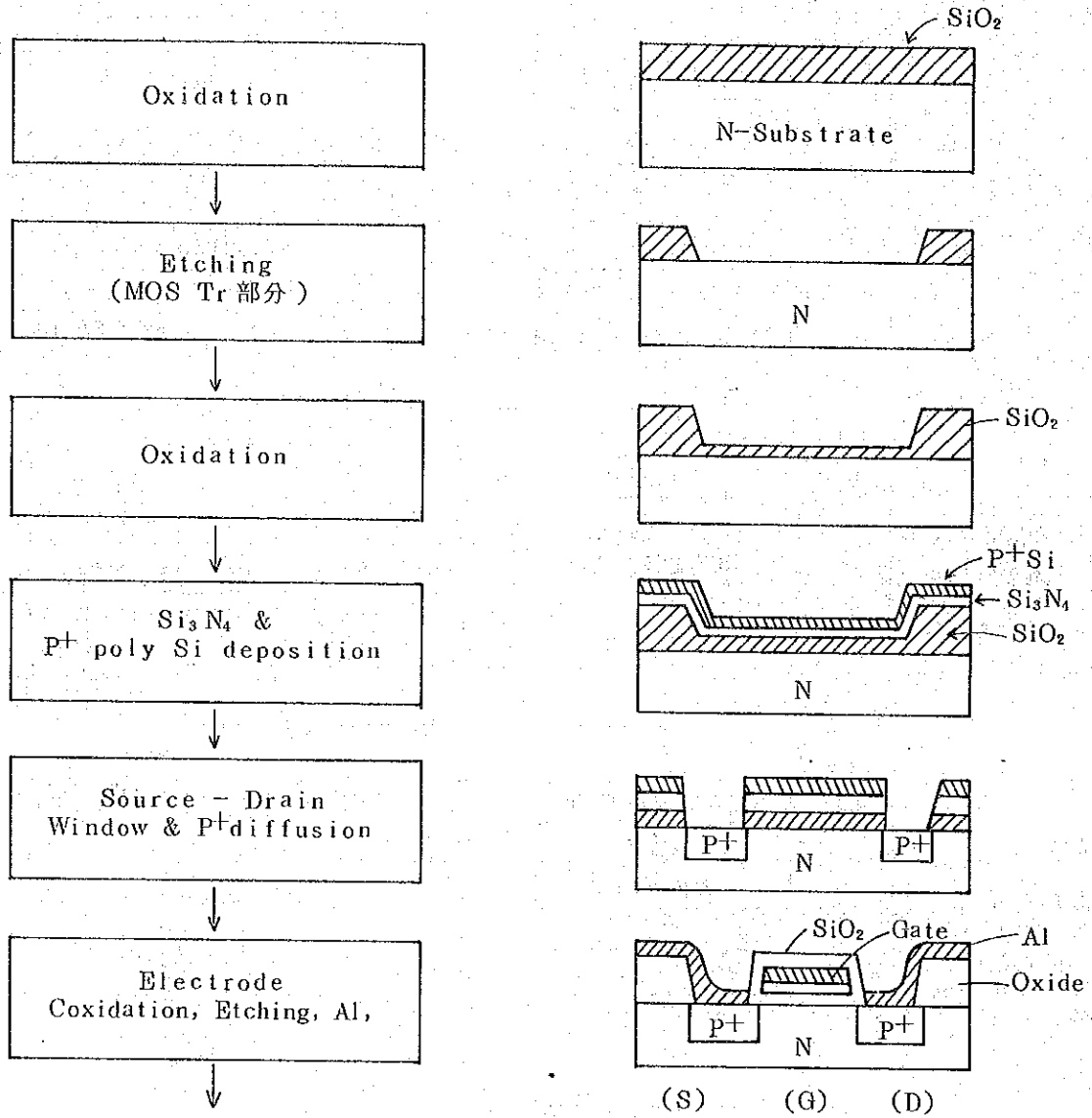


$R_i$  5Ωcm     $t \approx 0.1 \sim 0.3$  mm

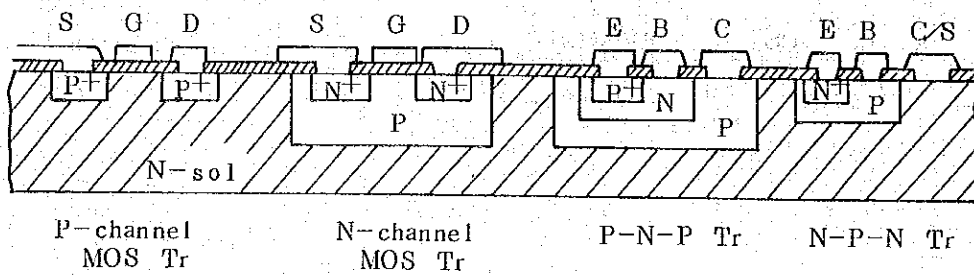




MOS構造 (P-channel)

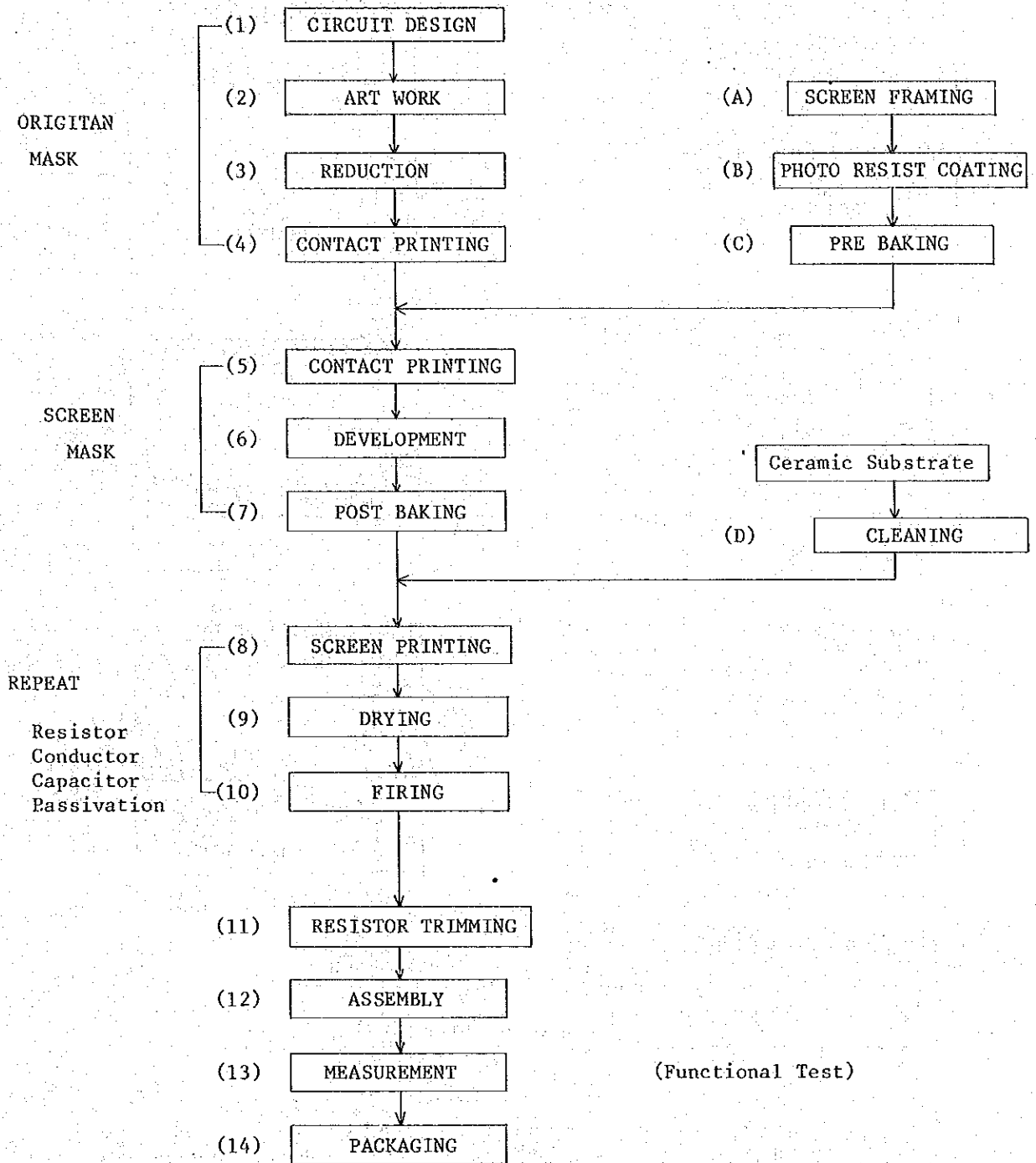


Complementary MOS



(付-5)

FLOW CHART OF THICK FILM ICs



## THICK FILM ICs

### ORIGINAL MASKS (Process 1 -- 4)

#### 1. Circuit Design.

Design your circuit on the universal copper laminated circuit board using discrete transistors, diodes, capacitors, resistors and so on.

Next, decide the size of the ceramic substrate, and select the active elements (Tr's diodes, etc...) and the raw material pastes of passive elements (resistor, capacitor and conductor, etc...) which will be screen printed on the ceramic substrate.

#### 2. Art work

The designed circuit is drawn on the section paper (magnification is x2 -- x10 depending on the size of final pattern). Each functional pattern area is color painted and the art work of the resistor, conductor or capacitor is made separately, using the micro plotter and strip coat. (See the process of thin film).

#### 3. Reduction (Original mask)

Make the original emulsion film (or glass). Mask reducing the art work by the reduction camera. (See the process of thin film). The reduction ratio is  $x1/2$  --  $x1/10$ .

The pattern size of original emulsion masks is equivalent to the final pattern size.

#### 4. Contact Printing (Film → Mass mask)

Generally, the original mask is made on the photo sensitive emulsion film mask. The original mask of the film is not suitable for contact printing of screen mask. (The hard glass mask is necessary at this process. The hard glass mask is made from film mask by contact printer).

(Cf.) The reduction camera which is set in CTRL is used for  $2\frac{1}{2}$ " and 3" glass mask only, so, this process is not necessary.

## SCREEN MASK (Process 5 -- 7, A -- C).

### 5. Contact Printing (Glass → Screen mask)

The stainless or silk screen mask is necessary for thick film's printing process.

The original patterns are exposed and transferred on the photo resist coated stainless screen, using contact printer. (The screen is prepared by process A, B, C.).

A. Screen framing. The meshy stainless (or silk, nylon, etc...) cloth is tightened on the frame, uniformly using stretcher, tension gage and adhesive tape.

B. Photo resist coating. Clean and roughen surface of screen cloth for good photo resist contact before coating. Coat photo resist for screen 2 -- 3 times in the vat, depending on the thickness of printed layer. Dry the coated layer at the room's temperature.

C. Pre Baking. Dry the photo resist in the infrared oven, (temperature 30 -- 60°C). Remain the sensitivity of the photo.

### 6. Development

Develop the image which is exposed on the photo resist of screen frame. Development is done in the developer. The thickness of photo resist is very high compared with thin film ICs. So, to blow off the remained photo resist with spray gun is necessary.

### 7. Post Baking

Wash and clean the screen mask and cure photo resist in the infrared oven.

## SCREEN PRINTING (Process 8 -- 10).

The process 8 -- 10 are done repeatedly. Some kinds of pastes are possible to print in layer before firing, but some others are not good.

### 8. Screen Printing

Print each pattern of resistor, capacitor, conductor, insulating layer independently on the ceramic substrate, using screen printer.

The first pattern (ex. conductor) is printed and fired; then, the second pattern is made in the same process.

#### 9. Drying

Printed patterns are dried in 5 -- 20 minutes at the room's temperature in order to permit leveling of mesh marks, and dried again in 10 -- 15 minutes at 125° -- 150°C.

#### 10. Firing

The screen printed patterns on the substrate are fired through the belt conveyor's furnace by the condition of pastes.

The typical firing condition is to fire through a furnace with 40 -- 60 minute cycle at a peak temperature of 850°C (6 -- 10 minute soak). Peak temperature may be varied between 750°C and 950°C to be compatible with other processing requirements, but the best combination of adhesion and solderability is usually obtained at 850°C. Ambient gas is generally dry air, but sometimes nitrogen or oxygen can be used depending on the kind of passes.

### ASSEMBLING AND TESTING (Process 11 -- 14)

#### 11. Resistor trimming

All patterns (ex. resistor, capacitor, conductor and insulator) are screen printed and fired, then, resistor patterns are trimmed by trimming machine to get precise resistor value.

Trimming is done by laser, sand bluster or grinder of dentist.

#### 12. Assembly

Generally, 2 -- 10 circuits are printed on one substrate. So, cut and separate the substrate to the unit circuit by using scriber.

Assemble the active discrete elements of diodes, transistors, ICs, and special passive elements of capacitor and resistor which can not screen printed. The discrete components are assembled by soldering (PbSn solder including Ag is used).

The silicon transistor or diode chips are assembled by thermo compression, bonding or ultrasonic bonding. These methods are similar to the silicon monolithic technology.



13. Measurement

Functional tests are done before packaging, depending on the circuit.

14. Packaging

Functional tests are finished, then, coat the epoxy or silicone resin for passivation of active, passive and conductor elements and then hermetically seal, if necessary.

And final electrical characteristics of circuit are measured.

The process of "Thin Film Circuit" written in July 27, 1979 is refined as follows.

The samples for Acceptance Test have been processed by following conditions.

The refined process may not be the final and the best one, but only a typical. We expect your research team will find more improved process.

"What kind of circuit functions do you want".

"How to integrate the data and experience" and "How to apply your knowledge and experience" are the most important.

So please understand the principle of these processes, and determine your own conditions.

- C.f.
1. Maintain your equipments under the best condition always.
  2. Keep the manufacturing room "Clean" you should understand the meaning of "Clean".

1) Design and Art Work;

There is no specific condition in this process. The pakistani Engineers have understood well and have had much experience of this process.

Write all necessary information including resistors, contact holes, conductors and solder flow stopping patterns in your original pattern draft.

Prepare four copys of the original, and fill area to be cut with a clear.

\* Lubrication and other necessary maintenance should be kept.

2) Reduction

a) Number of Pattern

1. Resistor
2. Contact hole
3. Conductor
4. Solder flow stopping

b) Law Materials

High Resolution Emulsion Glass Plate SAKURA 3"x3"x0.06"

- c) Condition of Reduction
- Reduction ratio    x1/10
  - Screen Position     159.88
  - Lens Position        14.56
  - Exposure Time       5 sec.

d) Result

The distance of graduation

On the art work : 400 m/m

On the mask : 40.05 m/m

Accuracy :  $\frac{40.05-40}{40} = 0.125$

- \* Setting the mask in the mask holder must be done in the dark room.
- \* Check the emulsion side.

3) Developing of photo Mask

- a) Prepare the Developer and Fixer by the recommended condition.
- b) Developing time        3 min.
- c) Fixing time            2 min.
- d) Water rinse            5 min.

\* Developing and Fixing must be done in the dark room.

4) Substrate Cleaning

Clean the surface to obtain the hard contact of deposited layer on the substrate.

a) Low Material; glazed alumina 50 x 50 m/m

b) Cleaning Condition.

- Cleaning solution; photo resist stripper
- Temperature        80°C
- Time                2 min.

c) Replace the developer and rinse

1st, Acetone (ultrasonic)       1 min.

2nd, Isopropyl Alcohol (u.s.)   1 min.

3rd, Rinse with the flow of deionized water       5 min.

4th, Spinning Dry 1st step       500 r.p.m.

                          2nd step       3800 r.p.m.

5th, Baking (Drying) Temperature 130°C

                          Time           20 min.

## 5) Photo Resist Process

This process is applied to the all deposited layers.

### a) Photo resist coating.

The surface of substrate must be cleaned by decided condition before.

- Material OMR-83, Negative type
- Spinning Coat ; 1st 500 r.p.m. 5 sec.  
2nd 1600 r.p.m. 25 sec.

### b) Pre-Baking 80°C, 25 min.

### c) Exposure

- Contact print on the substrate with "Mask" and "Mask Aligner"
- Exposure time 5 sec.

Necessary to wait more than 20 min. after the Hg lamp switched on.

### d) Development

- 1st bath Developer 45 sec.
- 2nd " " 45 sec.
- 3rd " Isopropyle Alchole 30 sec.
- 4th " " " 30 sec.
- 5th " replace to the D.I. water bath and rinse with D.I. water 2-3 min.
- 6th Drying by spinner
  - 1st 500 r.p.m. 5 sec.
  - 2nd 4000 r.p.m. 25 sec.

### e) Post-Baking

- Temperature 130°C
- Time 20 min.

## 6) Etching Conditions

### a) 1st layer (Ni Cr)

- Etchant  
Solution of 15 (by weight)  
Ceric Ammonium Nitrate ( $Ce(NO_3)_4 \cdot 2NH_4NO_3 \cdot xH_2O$ )  
(example 7.5g of chemical 42.5 cc water)

### b) 2nd layer (insulating layer)

- Saturated solution of Ammonium Bifluoride ( $NH_4F \cdot HF$ )  
(20g of chemical with 100cc  $H_2O$ )

◦ Etching time 50-60 sec.

Don't use glass bath.

c) 3rd layer (Conductor)

The combination of this layer are Ni Cr + Cu.

1st etchant : Ferric-chloride (FeCl <sub>3</sub> )	20 g
Hydrochloric acid (HCl)	20 cc
D.I. Water	40 cc
Etching time	10 - 15 sec.
2nd etchant : Ceric Ammonium Nitrate	7.5 g
D.I. Water	42.5 cc
Etching time	30 sec.

\* 1st etchant is easily etched off the conductor layer, but this solution is very strong, so, roughly etched off the NiCr and Cu and additionally must be used the 2nd solution.

\* If the start of etching is not stable, dip in the acetone approximately 10 sec.

d) 4th layer

The 4th layer is the photo resist layer, so you must apply the same process as normal photo resist process.

e) After the etching are finished, replace to the Deionized Water and rinse perfectly.

Rinsing, and drying conditions

7) Photo Resist Stripping.

◦ Stripper OMR-83 Stripper

◦ Condition 80°C, 2 min. dip.

◦ Replacement of Stripper

◦ Acetone dip

◦ Isopropyl Alcohol

apply the ultra sonic 2 min.

◦ D.I. water rinse more than 2 min.

◦ Spin drying 1st 500 rpm 5 min.

2nd 4000 rpm 25 min.

◦ Baking 130°C 20 min.

8) Vacuum Deposition of Resister Metal

◦ Equipment ; Vacuum Evaporator ULVAC Model EBV-6DH

◦ Pressure ; less than  $7 - 8 \times 10^{-5}$  Torr.

◦ Thickness ; approximately -- 1000 Å (1 Å =  $10^{-8}$  em)

(depend on the circuit patterns or sheet resistance)

- Deposition Rate ; - 10 Å/sec.
- Substrate Temperature; - 200°C

9) Deposition of Insulating Layer

- Pressure ; less than  $7 - 8 \times 10^{-5}$  Torr.
- Thickness ; approximately 350 - 1000 Å
- Deposition Rate ; - 5 Å/sec
- Substrate Temperature; 100°C - 150°C

10) Deposition of Conductor Layer

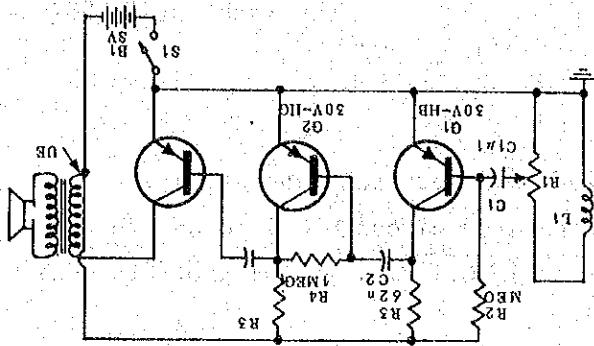
- Pressure ; less than  $7 - 8 \times 10^{-7}$  Torr
- Substrate Temperature; 100°C - 200°C
- \* 1st Layer : NiCr Thickness 150 - 400 Å  
Deposition Rate 2 - 8 Å/sec.
- \* 2nd Layer ; Cu Thickness 3000 Å - 1µm  
Deposition Rate 5 - 15 Å/sec.

(付-7)

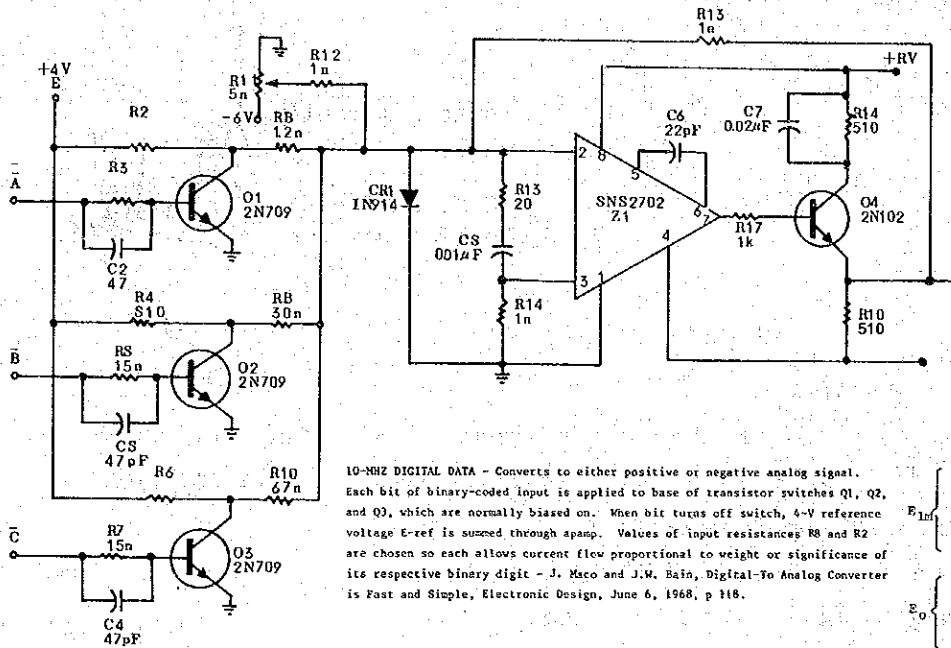
Dr. Sato I would request these test ICs be made by the IC expert  
Mr. Misawa and other components (if necessary) by Mr. Neisea.

① Mihl

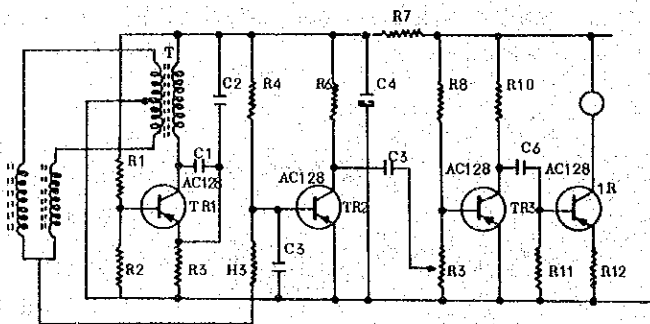
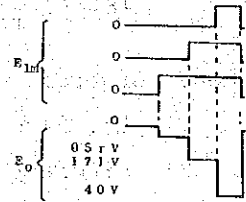
Dr Sato



TELEPHONE AMPLIFIER - Used for listening to both sides of telephone conversation on loudspeaker. L1 is commercial induction coil made for telephone pick up, placed near telephone set or telephone line (Radio Shock No. 44-633). T1 is transistor audio output transformer with 500-ohm primary and 8-ohm secondary, driving small 8-ohm speaker - "A Modern Transistor Workbook," Radio Shack, Muston Moss, 1965 p.24



10-MHZ DIGITAL DATA - Converts to either positive or negative analog signal. Each bit of binary-coded input is applied to base of transistor switches Q1, Q2, and Q3, which are normally biased on. When bit turns off switch, 4-V reference voltage E-ref is summed through amp. Values of input resistances R8 and R2 are chosen so each allows current flow proportional to weight or significance of its respective binary digit - J. Maco and J.W. Bain, Digital-to Analog Converter is Fast and Simple, Electronic Design, June 6, 1968, p 118.





(付-8)

Ref. No. CTRL/W-4/80-81

the 15th April 1981

Your Excellency,

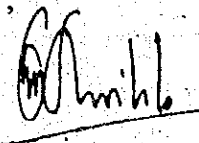
Mr. Misawa IC Expert is busy in Central Telecomm. Research Laboratories Islamabad demonstrating the technique of integrated circuits. I am afraid his work is not yet completed. His period of stay in C.T.R.L. is too short for the work he has to perform in these laboratories.

It is very strongly recommended that his stay may be extended by another two weeks so that his efforts become fruitful.

With kind regards,

Yours faithfully,

(G.M. SHEIKH)  
General Manager



To Mr. Yasushi Fukuichi,  
First Secretary,  
Embassy of Japan  
Islamabad

Copy forwarded with compliments to : -

- 1) Dr. Sato Chief Advisor CTRL Islamabad.
- 2) Director -General, T&T, Islamabad.

"Technique of Research & Trial on Micro Circuit"

By AKIRA MISAWA

Expert (Integrated Circuits)

Technique of Research & Trial on Micro Circuit.

1. Purpose

- 1.1 a. Outline, Features & Classification of Film Circuit Technology.
- 1.1 b. The outline of all kinds of Integrated Circuits including Monolithic I.C.
- 1.2 During the process, C.T.R.L. Circuit Component staff should get idea of the following:
  - Design procedure
  - Meaning of each process, and Basic theory.
  - Application, method of experiment and data filing.
  - Counter measure for mal functions, effects of contamination, dust etc.
- 1.3 How a researching staff to be & the core of technology. Giving the idea of self-research.

2. Result

2.1 Lecture

Mr. Misawa gave lectures on the above features and explained to the CTRL staff in details. He believes that most of the staff members have understood the main ideas and they have prepared some notes in English.

2.2 Manufacturing Trial.

- For manufacturing a thin film I.C., there must be an accumulation of many data and many experiments.
- In each process of trial, design, manufacturing, filing up data were done by the staff themselves. In case of difficulty they were further advised with more details of the process.
- As a result of advise, they were able to prepare the process themselves.

### 2.3 Conclusion

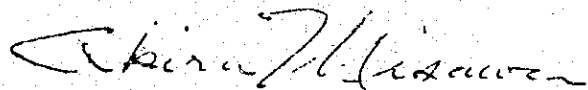
- 1) Equipment Operation by the staff is considered to be sufficient.
- 2) As there lies difference between a low material technique and system design (Electronic Circuitry) technique, fundamental trial experiences are required for trial of the I.C. technology. The staff should keep in mind that an electronic circuit never directly connected to a realization of I.C.

TECHINICAL CERTIFICATE

It is certified that Mr. Wasim Anwar Kiani Engineering Supervisor (Circuit Component Laboratory) CTRL., Islamabad has taken;

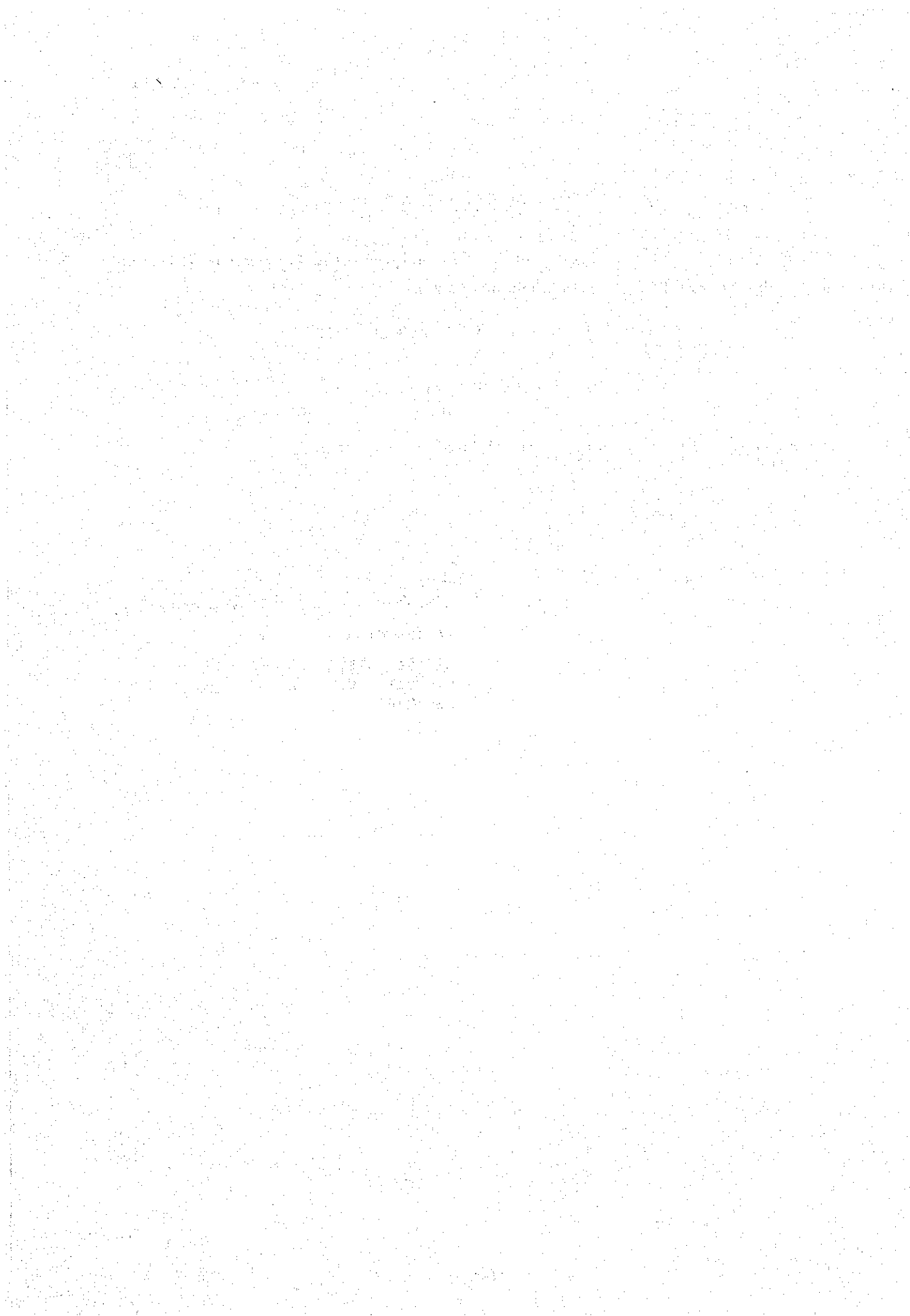
1. Lecture of Fundamental Techniques & Design on Film I.C.
2. Trial manufacturing of Thin Film I.C.

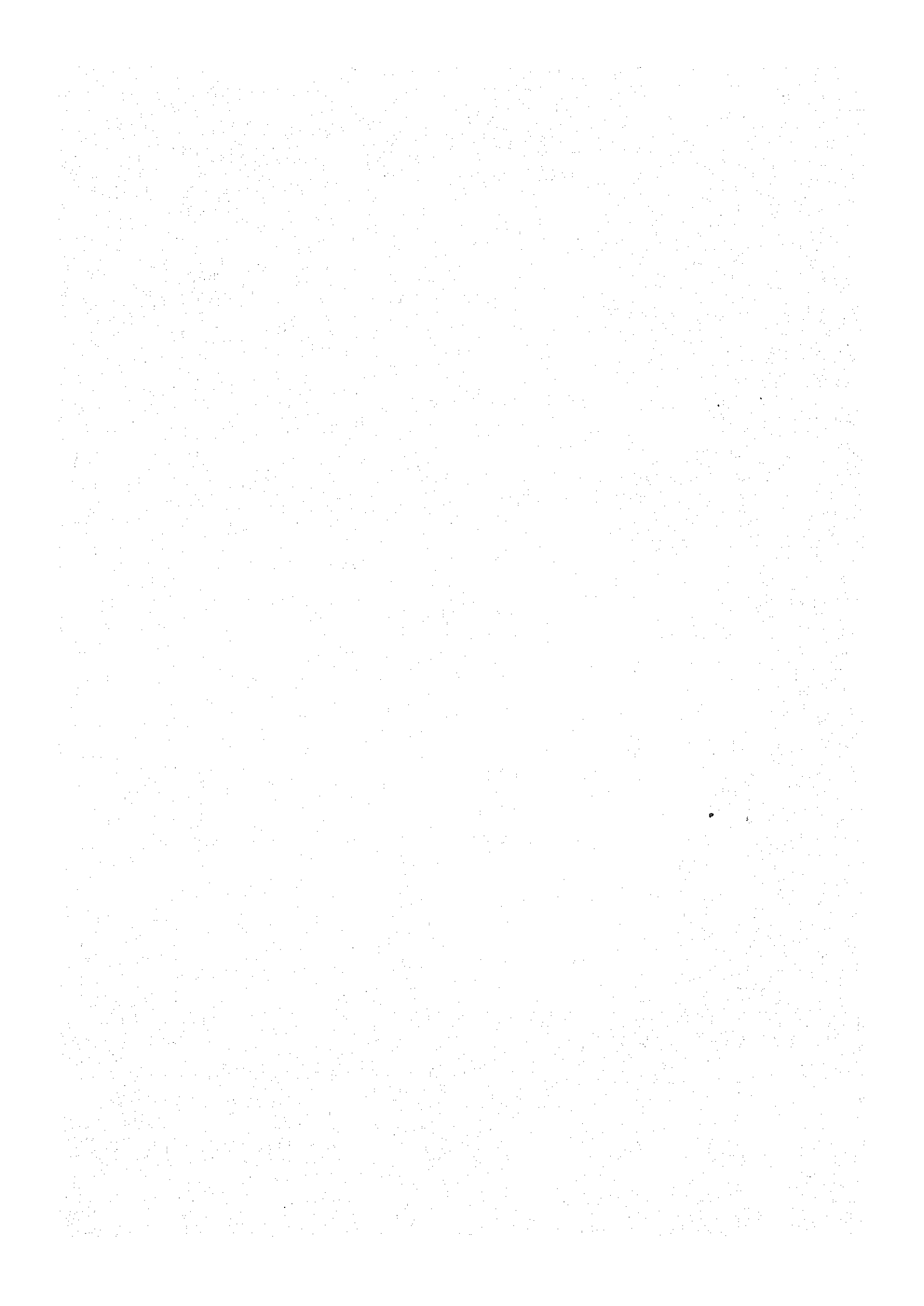
Very successfully during my one month stay in Pakistan.



(AKIRA MISAWA)

EXPERT INTEGRATED  
CIRCUIT C.T.R.L.  
ISLAMABAD





JICA