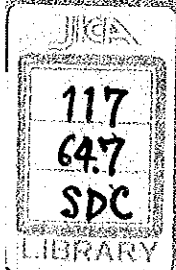


パキスタン中央電気通信研究所
短期専門家業務完了報告書
(IC製造技術指導)

昭和56年4月

国際協力事業団



パキスタン中央電気通信研究所
短期専門家業務完了報告書
(I C 製造技術指導)

JICA LIBRARY



1061063121

昭和56年4月

国際協力事業団

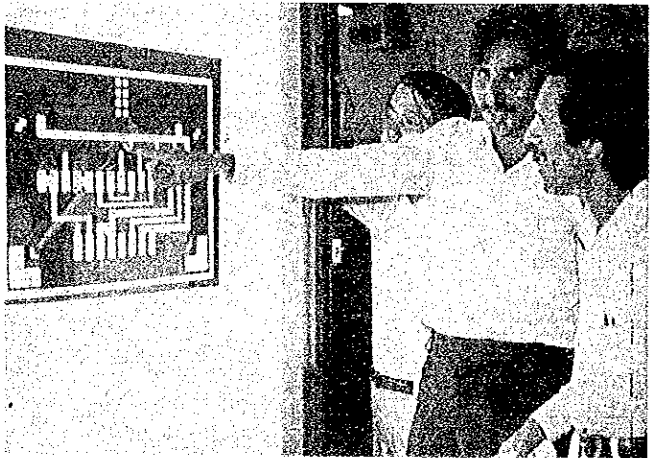
海	セ
---	---

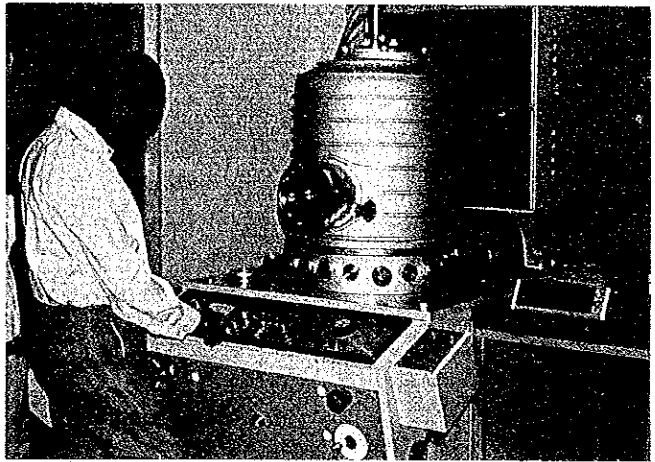
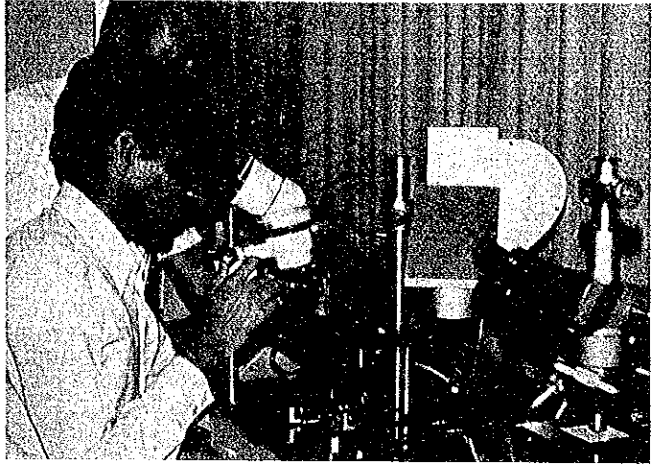
J	R
---	---

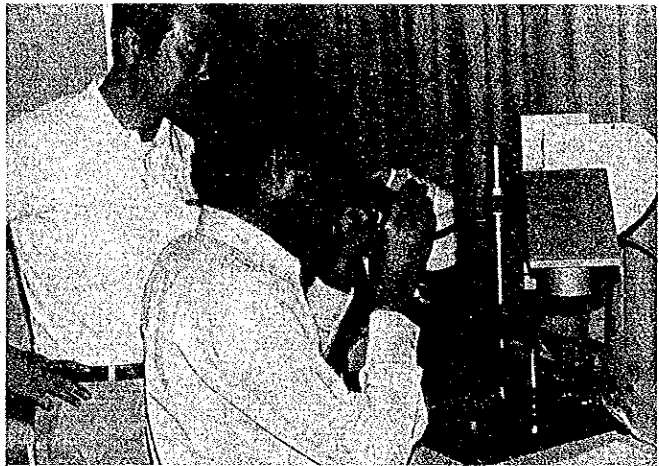
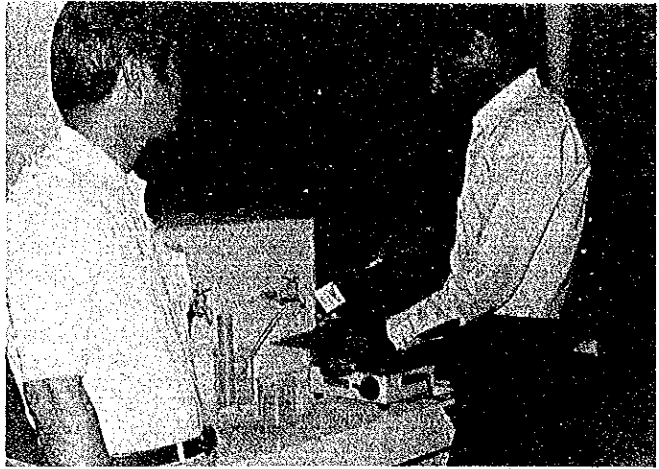
81-	140
-----	-----

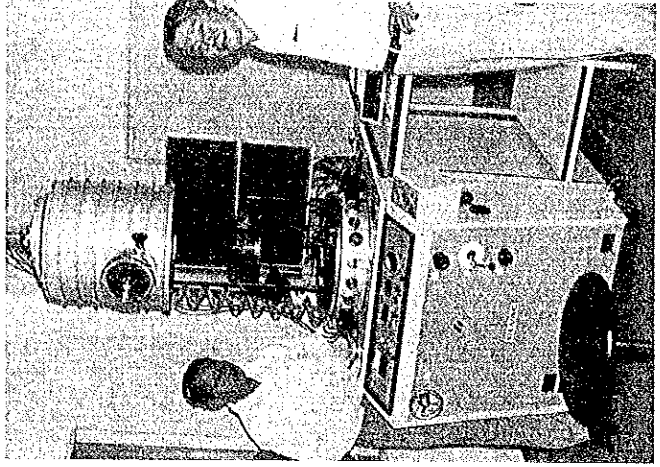
国際協力事業団

受入 月日 84. 3. 16	117
登録No. 00705	64.7
	SDC









目 次

[1] 目 的	1
[2] 業務日誌	2
[3] 業務報告	6
3-1 概 論	6
3-2 指導スケジュールと受入側体制	6
3-3 目的と指導思想	7
3-4 経過及びまとめ	9
[4] まとめと評価	13
4-1 パキスタン側の成長度	13
4-2 日本側から見た技術協力	14
4-3(追記) データの解析	18
付-1 パキスタン技術者、受講者名簿	42
付-2 スケジュール表	43
付-3 講議案内	44
付-4 講議内容	45
付-5 厚膜 I C	62
付-6 薄膜 I C 実験条件	67
付-7 試作依頼回路(所長より)	72
付-8 所長より滞在延長依頼内容	74
付-9 CTRL に対する指導完成報告書	75
付-10 TECHNICAL CERTIFICATE	77

〔 1 〕 目 的

初め日本で計画した業務内容は下記の通りである。基本的にはこの計画に従っているが、現状に合わせて一部修正した。具体的な目的と計画は(3-2)~(3-3)(P-7~12)を参照されたい。

1. 薄膜集積回路の基本技術の指導
2. 実験室的製造技術を指導する。
(金属薄膜抵抗の試作を行い、製造方法の技術移転を図るものとする。)
3. 金属薄膜抵抗の抵抗範囲、精度、シート抵抗、熱特性等の調査及び実験を実施すること。
4. 上記調査、実験データの解析
5. 薄膜集積回路の実用化テスト及びその用途について策定すること。
6. パキスタン中央電気通信研究所の将来の研究開発技術確立のため、研究手法及び集積回路等の新技術の動行について講議すること。

期間及び場所

- 昭和56年3月20日から昭和56年4月19日まで31日間。
- パキスタン回教共和国中央電気通信研究所Circuit Component Lab のうち“IC製造技術”

〔 2 〕 「 業 務 日 誌 」

PK751 出発

3/20 東 京 → RAWALPINDI
(金) 10.00 18.55

・ G.M.SHEIKH, Dr. T. SATO を含めて指導スケジュール打合せ。

3/21 ・ スケジュール表作成 (附 - 2、P - 26)
(土) ・ 研究室にて装置動作確認、実験方向指示。

・ 講義スケジュール表作成、所内掲示 (附 - 3、P - 27)

3/22 ・ 携行参考書、器材の引渡し、確認。
(日) ・ 実験のため回路設計方法を教育、デザイン指示。

3/23 ・ 前日につづき回路設計の原図作成の指導。
(月)

3/24 パキスタン建国記念日
(火) (休日)

・ 9.30~11.00 講義 (3/25~3/31 まで)、内容は (付 - 45、P 28~55)
初日は薄膜、厚膜 IC、プリント基板の発展の歴史及び概論。

3/25 ・ 11.30~15.00 は実習、Micro Plotter を用いて Art Work 作成実習、実習内容は
(水) 用意した文献を基とす。

・ 講義 ; 膜 IC の各々の製法、製置類及び特徴と特性につき解説。

3/26 ・ 実習 ; Art Work の作成のつづき (1st layer ~ 4th layer まで)
(木) 彼らに作らせたので欠点もあり、その影響と原因を説明。

3/27 (休日)
(金) Condenser 短期専門家内生氏着

・ 講義 ; 工程中での汚染の原因と影響の説明 (パキスタンでは汚れの感覚が少なく、良い製品が出来ないので特に講義した)

3/28 ・ 実習 ; 内生氏にコンデンサー関係装置の説明と受渡し。
(土)

・ 講義 ; 厚膜 IC、プリント基板の技術解説。

3/29 ・ 実習 ; Redustion Camera を用いて、用意された Art Work から 3" の写真乾
(日) 板に 1/10 のマスク作成の実習及び条件出しの説明を行い彼ら自信で作らせる。

- 3 / 30
(月)
- ・講議 ; 現在すでに設置されている薄膜 I C 関係の技術と設計につき解説、特に熱特性、抵抗設計と補正につきパキスタン技術者にも講議させながらセミナー形式で行った。
 - ・実習 ; 先日につづきマスク製作の条件出しと現像を彼ら自身にやらせる。
-
- 3 / 31
(火)
- ・講議 ; 半導体 I C 技術など最新の技術を講議、今日で講議終了。再度全体のまとめと、実物サンプルを見せての解説。
 - ・実習 ; 抵抗を作るための第 1 層の蒸着実験、その前に基板の表面処理が悪いとどうなるかを悪いサンプルを入れて実験。
-
- 4 / 1
(水)
- ・蒸着の条件出し、作業は全てパキスタン技術者にさせる。シート抵抗値は $100 \Omega \text{um}$ 中心とす。
 - ・抵抗パターンのエッチング、フォトリジストの条件出しと実験。
 - ・日本人専門家の方達による歓迎会に出席。
-
- 4 / 2
(木)
- ・前日の繰返し。
 - ・第 2 層、絶縁層の蒸着とマスク合せ条件出し (完全ではないが、全てパキスタン技術者が自分で行うようにする。失敗したときに始めてその理由と対策を説明する。)
-
- 4 / 3 (休日)
(金)
- ・前日会社から Telex で連絡入り、至急電話で対策指示。
-
- 4 / 4
(土)
- ・今日から一週間内生氏のコンデンサー関係の講議が始まり、午前中は Circuit Component Lab の技術者出席、仕事にならず。
 - ・第 1 層、第 2 層の蒸着くり返し、及び第 3 層導体金属の蒸着実験。
-
- 4 / 5
(日)
- ・前日と同様。
 - ・第 1 回抵抗蒸着の結果出る。NiCr 厚み 400Å で $R_s \sim 75 \Omega$ 、少し低い、蒸着条件によって変化するので data の集積を指示。
 - ・本当に data がそろって自由に I C を作れるまでには少なくとも 6ヶ月はかかると痛感。
-
- 4 / 6
(月)
- ・第 3 層導体の密着が悪い。初め原因が分らなかったが、銅を蒸着するのに下に NiC を蒸着するのを忘れていた。彼らに指示してまかせていたが、良く原理を理解していなかったらしい。ガッカリする。
 - ・GM. SHEIKH より製作希望の I C を 3 種提示される。(付-7、P-61,62)

4 / 7 (火)	<ul style="list-style-type: none"> ・第3層が失敗したので又最初からやり直し、第1層を蒸着。 ・G.M.SHEIKHのICは薄膜では製作不能、佐藤さんから説明してもらう。 ・別にパキスタン技術者にも同様の指示が来て、彼らも不可能なことが分っているので返答のため1日中どたごたする。
4 / 8 (水)	<ul style="list-style-type: none"> ・前日(4/7)午前日本大使館に大使訪問。夕方飯島公使が夕食会を催して下さる。 ・第2層まで蒸着。 ・今まで彼らが失敗した工程につき集中的に講義し、その意味を理解させる。
4 / 9 (木)	<ul style="list-style-type: none"> ・前日の講義のつづき。今度は十分に理解したと思う。基礎が分らなければ一人立ちして実験を進めることは不可能なのでこちらも必死。 ・パキスタン技術者の欠点は少しは直ったと思う。 ・今日で内生氏の講義終了、残り一週間は少しは実習に集中出来る。
4 / 10 (金)	(休日)
4 / 11 (土)	<ul style="list-style-type: none"> ・第3層導体パターンまで完了。今度は成功。 ・条件出しのため次のlotを入れる。
4 / 12 (日)	<ul style="list-style-type: none"> ・前日作った抵抗回路の抵抗値測定、補正值もうまく計算出来ている。 ・次のlotはRsを高くして実験、これも満足すべき結果である。
4 / 13 (月)	<ul style="list-style-type: none"> ・前日につづき次のlotのdataをとる。結果良好。 ・中島氏より、試作依頼の回路提示された。加藤、大井氏などからも来る予定。 ・Circuit Component Labを活用するために、この様に他の研究室からの回路試作依頼が必要、彼達も張切って設計にかかる。
4 / 14 (火)	<ul style="list-style-type: none"> ・同じく条件出しの実験。 ・彼らも薄膜については装置の操作、設計はほぼマスターしたと思う。但し応用出来る回路は限界がある。早く厚膜技術を導入すべきである。
4 / 15 (水)	<ul style="list-style-type: none"> ・パキスタン側から佐藤氏を通して期間延長の要請あり(付-8、P-63)、個人としてもその必要性は理解できるが、不可能なので断る。IC技術を本当にパキスタンに指導するには少くとも2~3人の専門家が1年以上指導しなければどうにもならない。日本も援助のあり方を再検討してほしい。
4 / 16 (木)	<ul style="list-style-type: none"> ・まとめに入る。今回は完成品ICまでは時間的に出来なかった。しかし当初の目的であったICの概念と積極的に自分から考えて実験して行く姿勢だけは少しは身につけさせることが出来た。

- 一部材料が不足してきた。至急対策の必要あり。

4/17 (休日)

(金)

-
- G.M.SHEIKHに完了報告と、まとめを文書で提出(付-8、P64-65)

4/18

(土)

- 特に熱心の実習し、理解したパキスタン技術者にCertificateを渡す。(付10、P66)
- 全員で食事を取りながら歓談。
- Circuit Labの次の展開につき佐藤氏より依頼あり、報告は帰国後とする。

PK752便 帰国

4/19 RAWALPINDI → 東京

(日)

07.00

21.40

〔 3 〕 業 務 報 告

3-1 概 論

Pakistan TXT CTRL, Circuit Component Lab の業務のうち I C (Integrated Circuit) Project については JICA に提出した調査報告 (業務実施契約 5 1 年 1 2 月 2 5 日) 及び過去 4 回の装置設置と技術指導の経験から日本側計画及びパキスタン側の考え方、技術者の資質と欠点は或る程度理解しているつもりである。それで私なりに短期間で最も効果的でしかも、将来への継続性のある指導計画を作った。しかし、I C 製造技術を、その素地のほとんど零に近い、パキスタンに 1 ヶ月程度で指導することは至難の業であり、その緒についたと云うのが実情であろう。少くとも数人の日本人専門家で 1 ~ 2 年の計画で研究開発に対する姿勢から指導する必要がある。もともと、パキスタン側としても、受入れるためのエンジニアの増員と組織の改革が必要である。

3-2 指導スケジュールと受入側体制

パキスタン着の翌日 (3 / 21)、佐藤主席顧問及び研究所長 G.M.SHEIKH と指導計画を打合せし、目的を説明し了解を得た。内容は (3 - 3) に述べる。Circuit Component Lab の受入側スタッフ名簿は 2 5 頁 (付 - 1) である。但しこのうち ADE, Supervisor 及び Lab Assistant の 3 名を除いたメンバーは大卒後の実習期間の者及び他の研究室の人達であって、将来は他の部所に移る可能性が大であるため、本当に指導出来る Counterpart はこのうち 2 名である。しかも 1 週間後からは内生氏が着任しコンデンサーの実習が行われるので二分されてしまい、1 ヶ月の指導で出来ることは限りがある。そのため後々も彼らで実験が出来るように技術の基礎理解と応用力をつけるための指導スケジュールとした。しかし、短期間にもかかわらずパキスタン技術者は熱心に学び私の意図するところは達せられたと信ずる。

Circuit Component Lab のメンバーは D E の Mr RAZA が転職したことを除いて昨年と同じであるが、計画初めから指導を受けていた優秀な人材がサウジアラビア等に流出してしまったので問題である。今後も人材流出が続くと、技術移転のスピードは遅くならざるを得ない。(幸なことに Circuit Component Lab の中該エンジニアは移動してはいないし、良く過去からの指導内容を理解している。) なお、所長の G.M.SHEIKH は前に TXT の Chief engineer であって、その当時、将来の技術について面談したことがあり、スケジュールはスムーズに決った。

前に設置してある薄膜回路用の装置類は、彼等が積極的に稼働させて実験を進めてはいなかったが、比較的良好な状態に管理され、すぐ働かせる状態であった。

指導スケジュールは 2 6 頁 (付 - 2) に記し、それに沿って実施した。しかし、コンデ

ンサー関係の引き継ぎと技術指導の手助けなどで約20%は割かれている。加藤齊氏はじめ専門家の皆様が良く援助して下さったので助かったが、本当ならこの比重はもっと多くなったと思われる。短期専門家の派遣スケジュールは一考を要する。

講義はスケジュールにより一週間の予定で行い(27頁付-3)、実習中もおりにふれて解説した。基礎とIC技術の全体像を把握させることに努めた。講義は英文資料なしに行い、彼等が理解した上でまとめることとした。滞在中に添削をしたが、未だタイプされていない。

説明内容を28頁(付-4, 5)に記す。

3-3 目的と指導思想

[1]に今回出発前に計画した指導目的をまとめた。実際の指導はこの方針に沿って次のように大きく3つの様目に分類した。又、なぜこのようにしたかの背景とその思想を述べる。一言で云って、今迄の経験から、私あるいは日本人専門家がCTRLを離れた後々も彼等パキスタンエンジニアが独力で計画を立案し、研究開発を進めることが出来るために、基礎知識と、科学技術に対する研究姿勢を育てることを主眼とした。

3-3A 講義を通して膜回路形成技術及び集積回路の概念を理解させる。

パキスタン技術者の特徴として、英文で印刷された文献や参考書のみを信用し、やたらと印刷物を欲しがらる。今迄にも6~7冊の参考書を贈っているが、彼等はほとんど私物化してしまい、書庫に入れて鍵をしてしまいか、家に持ち帰ってしまい、それらを開いて読んで勉強することをあまりしない。しかも、本を所有していることは即ち内容も理解したものである傾向がある。「本に書いてあるから知っている」「それではこれはどういう意味か?」「……………」ということになる。

講義を始めるにあたって英文でタイプされた講義内容資料を要求されたが、初めに渡してしまうと次から出席しないか、身を入れて受講しなくなるので一切資料は渡さないこととした。英語力はパキスタン人の方が私より秀れているので、日本人専門家が文献のコピーを配布して、下手な英語で棒読みする講義では無意味であり、彼等の勉強にはならない。

そのため、英語で話すことは苦勞であるが、一切の資料は前もって渡さず話しと黒板による説明で通した。そして、その受講内容を彼等が英文でまとめるという方針を進めた。私の下手な英語でも、その意味を理解しようと真剣に聞き、質問も多かったので結果として良かったと思っている。彼等のまとめた原稿を添削したが、ほぼ理解している。現在、タイプは完了していないので日本文内容を28~55頁(付4, 5)に記す。

3-3B 技術者としての研究開発の進め方と姿勢を指導する。

今回のパキスタンCTRLでの指導は“ただ単にテクニックを伝達するというよりも、彼等の科学者としての意識革命をすることである。”と私なりに考えていた。

パキスタンにおいて外部からの技術情報及び文献(少し古いが)はある程度入手可能であるが、最新の電子技術、特に集積回路技術に関しては装置は勿論のこと技術についても見聞きするものが多い。装置の操作は比較的簡単でありパキスタンCTRLでも早くマスターしている。しかし、その先に一步進むということになると問題が多いようである。

私には良くわからないが、今迄の発展途上国に対する日本の技術援助はこの段階、つまり“装置を動かすことが出来る。”までが多かったのではないだろうか。国によってその国情があり、習慣があり、宗教がある。ただ単に新しい技術を導入してもすっきりと技術移転することは至難の業であろうと想像される。日本と異なり、パキスタンでは宗教が日常生活に深く関りを持ち、長い侵略と植民地としての歴史からと思われるが、“猜疑心が強く。”“供与されることに抵抗を感じなく、表面的には“命令に服従して働き。”ながら“プライドは高い。”という国民性が強いのではないだろうか。現象に常に“疑問を持ち。”“自力で困難に立ち向い。”“自分の手で結果を勝ち取る。”ことがなくては真の科学技術の発展は有りえないと思う。小さな研究所の中の小さな研究室であっても、そこに新しいものを卒直に受け入れる環境と姿勢を育てることが先決であると考え、その方針で指導してきたつもりである。

個人の力では荷が重いが、以上のポリシーで通し、“ただ単にサンプルを作れば良い。”という短視野的なものでなく、彼等パキスタン技術者が日本人専門家の力に依存せず、自分達の力で計画し、設計し、実験し、結果を正しく評価できるように基礎を教え、注意を与えるというように長期計画のスタートを指導することを主な目的とした。

理想的にはそうであっても、実際には1ヶ月の短期間では仲々難かしい。ほんの第一歩が緒についた程度であろう。詳しくは(3-4)以降で報告する。

3-3C 実習を通して、講議では理解し難いと思われる各工程の意味と基礎知識及び汚染の製品に対する影響を理解させる。

3-3 Bでも述べたが、過去4回のパキスタンでの操作技術の指導によって薄膜回路を作るための装置設備の操作方法はエンジニアはほぼ修得している。しかし残念ながら操作出来るというだけで“なぜこうするのか。”という技術の本質は充分理解していない。我々の前回までの目的がACCEPTANCEを取ることであり、又時間的余裕もなかったため充分指導出来なかったことも理由の一つである。これでは立派な装置が有りながら応用も出来ず、実験もどうすれば良いか分からないため宝の持ち腐れとなり、良い技術援助とは言えない。

今回は講義で集積回路の全体像を教えながら、作業指導を通して各工程での問題点、例えば薄膜回路の設計、熱特性と抵抗値の限界は何故あるのか、各プロセスの持つ意味と理論、応用技術と実験の取り組み方、data の取り方と評価の方法等の基本を繰返し指導し、今後パキスタン CTRL として自立して研究を進めて行ける技術と研究姿勢を身につけさせることを主眼とした。実習の進め方として、私からの指導は実験条件の一例のみ示し(56～60P、付-6)、設計、実験の段取り、条件の変更など全て彼等にまかせ、失敗した時、不明の時のみ指導した。この指導方針は彼等が自立するための他に私の今迄の指導、講義に対し、どの程度理解しているか、私の思想がどの程度伝わっているか試すことも目的の一つであった。結果は(3-4)に述べるが、一口で云って、プロセスの意味が充分理解されていなかったための失敗も数点あった。その都度その原因を説明し、修正することによって、正しい方向で実験が進められたと思う。

もう一つの重点指導は汚染 (CONTAMINATION) についてである。集積回路技術に限ったことでは無いが、近代電子工業においてゴミや化学的な汚染は製品の特性、歩留り、信頼性などに重大な影響を及ぼす。そのため使用する器具、装置、材料あるいは半製品は清潔に保つとか良く洗滌することは最も重要で工程中に頻繁に行わねばならない。残念ながらパキスタンでは日常生活習慣によって衛生、清潔及び汚染に対する感覚がほとんど無いと云っても過言ではない。又、掃除とか洗濯など手と水を使う仕事は一段と下級な仕事と考えている節がある。そのためか、このような仕事は Lab Assistant 或は研究所所属の作業員にやらせてしまう傾向があった。他の研究室と異なり Circuit Component Lab では Chemical な処理を繰返し行われるので、この様な感覚を改めない限り、いくら高級な装置を使って実験しても CONTAMINATION によって良い結果は得られないし、結果の解析も正しく出来ないことになってしまう。つまり、パキスタン CTRL では IC の研究開発及び製作は出来ないことになってしまう。この習慣を改めるため講義と実習の折りにふれ強く指導した。3-4 で結果を述べるが、結論として著しく成長が上ったと思う。

3-4 経過及びまとめ

(3-1)～(3-3)に述べた計画及び指導思想のもとに講義及び実習を行った。つまり、あくまでも「技術開発に対する取り組む姿勢を指導すること」、将来パキスタン CTRL で「自力で開発を進めるための素地作り」であって「ただ単に製品を作ってみることは二次目的」とした。

3-4A 講義は 28～55 頁(付-4, 5)の内容で行なったが、一週間の短期間に下手な英語で内容を読むだけではあまり効果は上らない。参考書及び文献はある程度パキスタンで入手可能であり私も 6～7 冊の参考書を贈っている。問題は従来彼等が本を読むこと、勉強することの習慣が少なく、科学の勉強にしても受身なことである。積極的に勉強してもら

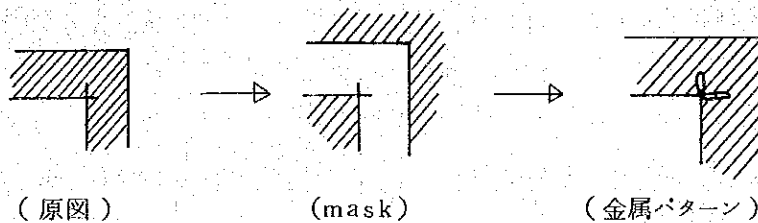
りため、前もって講議の内容をコピーして渡さず、「自分達で講議内容を筆記してまとめること」、「参考書を渡し、前日に指名して次の講議の時に彼等に説明させ私が補足する」ことで進めた。又、将来のIC技術について、次年度に供与されるであろうプリント基板厚膜ICの受入準備も含めて講議し、勉強しておくように指示した。講議は膜IC技術全般と、設計技術が主である。講議中も活発に質問も有り、後半の応用としての実習でもほぼ理解していると思う。私の方法は成功したと思う。残念なことは27頁(付-3)でも分かるように、受講者は全て所長の権限で指名されてしまい、名簿に無い人は絶対に出席することが不可能なことである。もっと多くの人達に聞いてほしかったと思う。

3-4B 実習についても同じ方針で行った。即ち実験趣旨を説明し実験条件(56~60頁、付-6)を示し、あとは“実験スケジュール”、“実験回路の選定(マスク設計、回路設計を含む)”、“実験条件(抵抗の形状による補正、面抵抗Rsと膜厚の関係、蒸着条件、photo resistの処理条件、金属のエッチング条件など)”、全てパキスタン技術者の判断にまかせた。多少の失敗はあったが彼等は積極的に問題に取り組み成果が上ったと思う。今迄のパキスタンでは日本人技術者が引上げた後は装置は放置されたままになってしまうであろう。一ヶ月の短期間では満足とは云えないが、良い方向になりつつある。今後あと少しブッシュし、他の研究室の協力を得ながら業務を行えばある程度のことは出来ると思う。

汚染に対する感覚は残念ながら本当に理解するまでには失敗を繰返しながら相当の期間が必要であろう。しかし、私の持参した白衣を指示しなくてもすすんで着用し、Mr. CONTAMINATIONと冗談で云われるまでになれば第一歩としては成功であろう。この問題は彼達が自覚しなければどうにもならないことであり、わざと汚れたまま実験を進めさせ、不良が発生した時にその理由を説明し確認させることとした。

—失敗のあった工程—

- (1) 原図のcutting作業で深く切り込みすぎ、コーナー部の切り込み部が大きくなった。しかもその修正を充分に行わなかったため、photo maskにその像が出てしまい、エッチングで断線や抵抗値に変化が見られた。この失敗は充分了解した。



- (2) 縮写工程で Reduction Camera で縮少率を決めるために焦点を合せが上手く出来なかった。これは日本でも熟練を要するので、何回も練習して習得する必要がある。
- (3) Photo Resist 工程で pre - bake と post bake の相違を理解していなかったため混同し失敗した。「photo resist 塗布後の乾燥は膜の感光性を維持するためあまり高温で処理することは出来ない。一方、パターン現像後は金属を薬品でエッチングするため耐薬品性を持たせる必要から高温でベーキングする必要がある」この件は一度失敗したが2度と誤らなかった。
- (4) photo resist 用現像液が不足している。少量で処理したため“ムラ”が生じた。インプロピルアルコール：キシレン=1：1で現像液の代用を作り処理した。この他にも一部材料、薬品が不足気味で何らかの方法で供給しなければならない。
- (5) 一番大きな失敗は導体配線膜の密着が弱かったことである。実験最終段階になって銅の内部導体配線用の蒸着膜の密着強度が弱く、すぐ剥れるという問題が生じた。初め原因が不明で困ったが、二層蒸着されていないことが分った。「蒸着された銅はガラス及び他の金属への密着強度が弱いから必ず密着の良いNiCr, Niなどの金属を最初に薄く蒸着し、漸次銅に切換えながら蒸着しなければならない」ことを実験指導書及び講議で説明してあったが、その理解が不十分だったため銅だけで処理してしまった。このトラブルが発生したのが当然のことながら最終工程に入ってからであるため、今までの実験が全て無駄になってしまい非常に困った。丸一日かけて上記失敗例の原因と処理法の説明をした。その後の実験は順調に出来たが、残り少ない日程だったので、完成品が出来たのは帰国3日前であった。

相談しながらその研究室で必要な具体的回路を研究目標とするのが望ましい。佐藤主席顧問はじめ他の研究室の日本人専門家と相談の上、薄膜ICに適した回路を選定してもらいそれを次回からの開発目標とした。研究室長(NUSRAT ALI)に渡し、非常に乗り気で検討に入った。帰国までに設計は完了していない。今回選定した回路はそう複雑なものではなく、circuit component labの技術者で充分作ることが出来るものであり彼等はそのレベルまで成長していると思う。

3-4C 帰国3日前からまとめに入った。目的にも述べたように、今回は形に表し難い“技術開発のあり方”の教育に主眼を置いたため完成品の数はあまり多くなく、しかも所長依頼の回路を全て“不適當な回路である”として断つたため不安を感じたのか所長から63頁(付-8)の手紙で期間延長依頼が発行されたが、無理があり断つた。

帰国前日、所長々研究室の全員及び日本人専門家全員による会合を持った。報告書(64頁、付-9)に基づき結果及び感想を説明した。所長より研究室長に質問があり、NUSRAT ALI、及びABUL GAFOORより工程の説明を行なった。この中で“回路によっては作る

のが難かしい”との発言があり一時混乱した。これは circuit component lab の技術者が薄膜 I C の本来持っている限界を良く理解したための発言であった。現在の装置と技術で “何が出来て、何が出来ないか”、“技術の難かしさ”が分かってきたということは今までに無く大きな進歩だと思う。自分達の能力と置かれた立場を正しく評価できてきたとすれば、今後はパキスタン技術室だけの手で I C の開発が進められるであろう。

なお、研究室の全員が非常に良くやったが、そのうちで2名 (NUSRAT ALI, WASIM, A. KIANI) に対して CERTIFICATE (6.6 頁、付-10) を贈った。

[4] ま と め と 評 価

今まで本報告で述べてきたものと重複する所もあるが、パキスタン側の成長度及び今後の日本の技術援助につき私見を述べ、報告のまとめとする。

4-1 パキスタン側の成長度

4-1A 装置類の操作

装置の操作方法及び各工程の意味はほぼ理解している。今後は繰返し操作習熟し、各装置を手足のように使えるようにならないと、正しい data の集積は望めないで、そのように期待する。但し、供給してある材料が不足しているのでパキスタンで入手出来るものは極力そろえるよう指示したが、不可能なものも多い。又、装置を壊すと担当者の責任問題となるためか、大切に使う、あまり稼働させない。もっと思い切りが良くてもよいと思うが、いずれにしても日本サイドでサポートしてやる必要がある。

4-1B 研究姿勢と環境

私の主目的であった“研究開発に対する取り組み方”は少なくとも circuit component lab の技術者に関する限り非常に良くなったと思う。しかし根深い宗教、習慣によるギャップは存在するし、組織体制から見るとパキスタンではトップの強い権力意識、公私混同、個人的な好嫌いで人事や業務を進めることが多いため、砂漠にコップ一杯の水を注ぐように、すぐに元の本阿弥にならないか心配である。この様な状況の中で光明を見るとすれば、佐藤主席顧問をはじめとする日本人専門家の熱意と努力、担当レベルのパキスタン技術者の熱心な実習態度があることである。又、他の研究室や研究所外からの見学者が非常に多く、何か下の方から動き出していることを感ずる。長い目で見ながら全体の研究開発に対するムードを育ててほしい。

4-1C 技術の理解度

従来のパキスタン技術者は科学に対して受身であることが多かった。受身ということは積極的に知ろうとしないことで、これでは真の技術者とはなり得ない。前々から彼等に対して“技術は与えられるものではない。自から勉強して知るものである。私は日本人技術者として指導に来たのではない。皆んなが勉強して理解するための先輩として手助けするだけで、自分等でやらなければ駄目だ”と常に言ってきた。今回は彼等に I C の設計段階から全てやらせることにしたが、その成果は一言で又形で表わし難いが、非常にあったと思う。少しの間違ひもあったが、全部自分等の手で処理出来たということは技術の本質を理解してきたということと思う。

(3-4E)でも述べたが、最後のミーティングで彼等から“薄膜ICは難しい。”という言葉が出てきた。私はこの言葉を聞いて今回の目的は達せられたという満足感がある。技術に対して安易に考えず、“難しい。”と表現出来るようになったということは逆説的であるが、“難しいことが分かって来た。つまりその技術の深さを理解した証拠。”であると思う。

4-1D 今後の課題

全体としての技術援助については後述し、ここでは技術問題のみ取り上げる。

先ず circuit component lab に携わる技術者数が少ない。IC技術は総合技術であり、CTRLの中でも本来は一番手間のかかる部門でありながら、長期専門家が一人もいないのは問題である。長期が無理なら短期でも常に1~2名の日本人技術者の指導が望ましい。パキスタン側についてもスタッフ数が少ない。もっと物理、化学などの物性、材料関係の技術者を増員すべきである。又、回路技術者も必要であるが、もし不可能なら3-4Dで述べたように他の研究室との協力によって目標ICを設定してやる必要があるであろう。これが無いと将来あまり多くを期待できない。

汚染に対する感覚は大分良くなって来たとは云え充分でない。自分達で失敗しながら汚染の影響を知っていくのが一番良い方法かも知れない。

次回供与でプリント基板、厚膜技術のための最小限の装置類が入る。これによって私が計画段階で画いていたことがCTRLで出来ることになり、応用ICの範囲もずっと広くなり、薄膜の技術も生きてくると思う。

上部レベルでは半導体に興味を持っているが、現在のパキスタンでは資金的にも技術的にも不可能である。少なくともあと10年は現状で技術の蓄積が必要である。強いて手をつけるとすればSi waferを購入し、拡散技術を練習する程度であろう。その程度にしても1~2億円は必要でありすすめられない。

4-2 日本側から見た技術協力

A 当初のCTRL circuit component lab のIC project の計画及びその後4回現地に行っているの、私としては日本、パキスタン両国の本プロジェクトの問題点について少しは理解しているつもりである。そのため、今回の短期専門家の立場としての技術指導方針については目的及び本報告書に随所で述べているように“パキスタン技術者の自主管理による研究開発の運営。”であり、“研究開発に対する意識と姿勢の改革。”であった。パキスタン人は能力としては良いものを持っているながら、宗教、習慣及び属国としての歴史から科学技術に対する方法を分かっていない。この状態に日本からいくら多くの資金、資材及び人材を投入しても効果はあまり上らないし、日本からの協力が切れた

時に結果として日本に対する悪感情以外何も残らないことを危惧する。このため先ず、技術を受け入れ易い雰囲気を作るのが先決であるとの考えから方針を定めた。小さな研究室のほんの2-3人の技術者であっても、何らかの成長があり、細々ではあっても私の思想がつづいてほしいと願う。又、パキスタン人は従属的であり、受身であるように見えるが、プライドは非常に高いように思う。この様な国に一方的な“与えてやる”、“教えてやる”式の援助では旨く行かないと思う。私は常に彼等に対して“指導はしないよ、一緒にやろう、その為の手助けはするよ”と云ってきた。今迄の訪パは期間も短かく立場も違っていたためあまりこの様なことは出来なかった。今回は、充分とは言えないまでも、私の意図した方に向きだけは修正できたと思う。

朝日新聞の81年6月3日の天声人語欄に下の様な記事が載っていた。20年近く現地で仕事をしてきた岩村医師として始めて言えることだと思ふ。全期間を通して3ヶ月にもならない私ではあるが、たまたま見て意を強くしたので御覧になっていただきたい。やはり技術協力はその対象物が物であり技術であっても“人間相互理解”と“宗教、習慣の理解”が優先すると思う。JICAとして当然考えられていることと思うが、直接相手と接する専門家等の人選は慎重にお願いしたい。

パキスタンCTRLの日本人長期専門家の皆様の努力は大変なことと思う。現地に融和して熱心に協力している人達が多く、技術協力は成功している例だと思ふ。

<p>天声人語</p>	<p>「いわゆる援助で ているのは、実は人 間のいぢけん主義的 な喜びを、アジアの 人々から、ネパ ルの人々から奪っ てしまふのが目的で ないか」といふ、 岩村先生が、 「それは、 「お互いさま」の關係を 築いては行かない、そ ういふ意味でもあ らうか」といふ、 岩村先生は、 「お互いさま」の 關係を築いては行 かない、そ ういふ意味でも あ ら う か 」 と い ふ 。</p>	<p>「お互いさま」の 關係を築いては行 かない、そ ういふ意味でも あ ら う か 」 と い ふ 。</p>
	<p>「お互いさま」の 關係を築いては行 かない、そ ういふ意味でも あ ら う か 」 と い ふ 。</p>	<p>「お互いさま」の 關係を築いては行 かない、そ ういふ意味でも あ ら う か 」 と い ふ 。</p>

B 次に私なりに見た日本の技術協力について少し意見を述べさせていただきたい。

先ず、前述した相手国の宗教、習慣、技術レベル等は良く調査の上、どの様な協力をするかが決定されるものと思う。ここまでは良いのだが、その後の実行段階で、失礼ではあるが、充分ではないのではないだろうか。初めに大筋の方針は日本と相手国の上層部で合意されるものと思う。この時、相手国は耳からの情報を基にして高望みをするが、実情はその技術が浸透し、受け入れられるだけの下地と関連技術が育っていない。次に数回にわたって日本から調査団が派遣され現地での打合せが持たれ、計画が具体化されるものと思う。ここでその人選に問題があるように思う。適任者も沢山おられると思うが、中には適当に順番やポジションによって選ばれ、その専門分野は良く分からないままに“シャンシャン”で適当に変更してしまうことが有るように思う。この調査団員がプロジェクトの最後まで責任を持つシステムであれば良いが、必ずしもそうでなく一回だけのこともある。(私の例で云えば、まず回路部品研究室の計画書を立案した。その時点ではKDD前川氏など現地情況に詳しい人達と相談し、御指導を受けて先ずプリント基板が作れて実験することが出来ること、次にICの製作を計るとすれば厚膜ICから入るべきと考えて立案し報告した。その後、調査団が行かれて決定されたものを見ると初めの計画はズタズタに切られて、一貫性もなく、全く異なったものになってしまった。その後再び私の所にこの関係の指導の依頼があり全く困ってしまった。それでも何とか補修し進めてきて、今回の短期専門家としての指導となった。私が第一回目に現地に行き担当技術者と打合せたところ、相手側の望んでいたものは最初に私が計画したものに非常に近かった。何でも変ってしまったのか今もって不明である。)しかし、佐藤主席顧問及び長沢課長など皆様の御尽力により今年度計画で上記不足分がほぼそろったことになった。これで一貫してプリント基板、厚膜IC、薄膜ICが出来ることになりすっきりした。

今後、願わくば技術協力の立案の時点から各分野の専門家の意見を聞き、しかもその専門家が最後まで例えば長期専門家として現地指導まで責任を持つことが最高である。専門家のみならず上部機構の責任担当者も、日本のみならずパキスタンでもくるくる変わってしまい責任及び連絡、命令系統がはっきりしなくなるのも問題であろう。パキスタンでも行くたびに相手が変わるし、日本でもJICAを除きよく変わる。(私の様な一個人に現地及び日本側の現状を聞きに来られても返答のしようがない)

次に供与機材の購入に関して、技術者サイドから見れば、出来れば営利目的の強い商社は通さず、直接JICAで手配出来ないだろうか。現在の機材購入は次の経過で行われていないだろうか。これではトラブルの元になる。

全体のまとめ役がはっきりせず、バラバラで計画を立てられる→調査団が行く→計画が別個に変更になる→項目だけ見て内容が分からないまま適当に商社が入札する(この

時点で立案者の意図はほとんど反映されず全体がバラバラに動き出す)→現地指導又は設置のための技術者が決まる→現地に行った技術者はとまどってしまいうろろする、ことになりかねない。

極端だが、商社では技術のことはあまり分からない。あとで苦勞するのは現地でやらなければならない専門家である。例えば今年度の供与機材関係について云えば、装置類はほとんど許可されたが、それを働かせるために絶対必要な部品や材料が全て充足されていない。一部残っている項目でも例えば“接着テープ”と書いてあると梱包用接着テープを送って“事たれり”としている。目的が全く異なるものであり、これで専門家が行ってから何が出来るであろうか。

私の見方が間違っているのかも知れないが、感じることを卒直に述べるので、海外技術協力の所轄機関に次のことを考えていただきたい。

- ・ 計画初めから明確な方針と最高責任者を決定していただきたい。
- ・ もし責任者及び担当が交代する場合は、きめの細かい引継ぎをしていただきたい。
- ・ 各分野の担当技術者はそのプロジェクトが終了するまで計画、調査から指導まで一貫して責任を持つようなことは無理であろうか。無理としても思想が一貫するよう人選していただきたい。
- ・ 今迄の商社の立場は“物を納入する”だけの立場でその介入は好ましくない。商社を除くことが不可能ならJICA及び担当技術者が強い態度で指導することが出来るようお願いしたい。
- ・ 限られた予算で総花的に配分するのではなく、予算を少数であっても必要なテーマに絞った方が効果が上がる。例は悪いが回路部品研究室のテーマとして抵抗、コンデンサーに中途半端に予算をつけても無意味である。基礎の材料研究からやるなら理解できるが、ほとんど完成している部品を持込んで一寸加工するのは研究ではない。いくらでも安価に入手でき、買った方がよっぽど良い。
- ・ 研修生の受入先を慎重に選んでいただきたい。前回の例でみると見学コースや一般の研修講座だけでごまかし、相手側に不満を残している例がある。中小企業だけでも良いから実務を通して勉強させてほしい。

以上、勝手なことばかり書いたが、私の強く感じていることである。私は卒直で熱心な彼等が好きだし、同じ資金と人材を投入するなら、より良く感謝される技術協力であり、一個人としても最善をつくしたいとの熱意からの発言として御容赦願いたい。最後に、非常な御協力と御指導をいただいた外務省、郵政省、大使館、在バ長期専門家及びJICAの皆様方に感謝の意を表し、本報告書を提出いたします。

4-3 データの解析

今回のパキスタンCTRLにおける技術指導から得られた実験結果の一部は本報告書の3-4項(経過及びまとめ)に記してあるが充分でない。パキスタンで取った詳細なデータ、資料は全て現地に残し、帰国に当って、研究、解析を今後とも継続して行い、疑問点や困難が生じた時は手紙などの手段で報告、質問するよう指示してきた。そのため、本報告書をまとめた時点では、実験結果をあまり記すことが出来ず抽象的な報告しか出来なかった。その後、7月14日付で実験解析データ及び質問を送ってきたので「追記」として本項でまとめ補足報告するので、まとめて御覧いただきたい。

ここに報告するデータは全てパキスタン技術者が自分達でまとめたものである。パキスタンCTRLにおいて、少くとも“薄膜IC技術”は今後は日本人技術者の援助をあまり受けなくても独力で進み出してきていることが御理解いただけると思う。

4-3A 講義内容のまとめ

私が講義した内容のうち薄膜IC技術を彼等が筆記してまとめたものを(追記21-30)頁に同封してある。私の講義報告(付-4,5,6)と比較していただければ、彼等が良く勉強した努力と能力を高く評価できると思う。

4-3B 今回実験した回路パターンのコピー

彼等が指導のもとにテスト用回路パターンのガラスマスクのコピーである。以下その機能を述べる。

(1) TEST PATTERN-I (追記31-32頁図) 図3-4-1

$R_1 \sim R_5$ まで5種類の抵抗を R_s (シート抵抗)に関係なく $l/w = \text{constant}$ (l =長さ、 w =巾)になるように長さ、巾をそれぞれ変えて形状を設計してある。この結果を表4-3-1(追記18頁)に示す。

抵抗値は $R_s = 100$ として $R_1 \sim R_5 = 1K\Omega$ つまり $l/w = 10$ になるよう設計してあるが、実測値は $0.7K\Omega$ 程度である。つまりこの時の蒸着条件(追記34頁)で $R_s = 70$ ということになる。

蒸着条件によって大巾に変化するが、一般にNiCr薄膜で $100 \sim 200 \text{ \AA}$ が $R_s = 100$ である。今回の蒸着条件では蒸着速度、基板温度が好ましくないか、膜厚が厚すぎることである。現有装置で厚みを正確に測定することは出来ないので実験条件を変えながら R_s のデータを集積する必要がある。ここで述べた条件では $R_s = 70$ ということである。各抵抗間の偏差値は R_2 を除いて $\pm 5\%$ の範囲に入り良好な結果である。この理由は3-4B(本文14頁)に述べたように原図のコーナーでの切込みの修正及びコーナーの補正が正しくなされなかったためである。

(2) TEST PATTERN-II (追記35, 36頁図) 図3-4-2

PATTERN-Iではコーナーでの補正が一種類だけだったので、ここではあらゆるパターンを想定して抵抗補正及びRs条件出しのためのマスクのコピーである。I、IIIと異なり実験のため photo resist による solder stopper のためのマスクは省略した。

この実験では値の異なった17種類の抵抗を補正計算を確認するため角、円弧、パターン巾など考えられる実用的なパターンを導入した。その結果を(追記35, 36頁)(表3-4-2)に記す。一部製造工程中に破損したものも有るが、 $R_s=70$ 、 $R_s=50$ における理論値と実測データはTEST PATTERN-Iの時より数段と良く合致していることが分かる。この時の蒸着条件は(追記23~25頁)の 400°A 及び 300°A のものである。厚さ 400°A の時に $R_s=70$ として、この付近の膜厚と R_s がほぼ直線に乗るとすれば 800°A の時は $70 \times \frac{300}{400} \approx 52.5$ となりほぼ計算値と合致する。 $R_s \approx 100$ 程度にすると膜厚も薄くなり蒸着条件、膜形式技術や基板の表面状態などによる影響を受けるが、この程度の厚さになると理論値に近い結果を得る。これらのデータから見て、パキスタンの技術者が薄膜技術について完全ではないにしても相当レベルまで修得していることが御理解いただけると思う。あとは繰返し実験の経験を蓄積して行けば良い。

(3) TEST PATTERN-III (追記39頁) 図3-4-3

Test Pattern - I, IIが薄膜金属抵抗及びオーミックコンタクトを得るための条件を決定する実験回路であったのに対しTEST PATTERN-IIIは簡単な実用回路を作り何らかの電気特性を確認することを目的とした。回路図及び機能を(追記40頁)、図3-4-4に記した。この回路の機能はVR(可変抵抗)を変えて抵抗値を設定することにより出力信号をON-OFFする時間を変化させるものである。この回路は最初パキスタンから類似のものを試作したいとして提案されたものである。しかし、そのままでは回路内に組込まれる抵抗の値が $10\Omega \sim 1\text{M}\Omega$ と広範囲であり、薄膜ICとしては実現不可能であり、図のように変更した。3-4D(16頁)でも述べたように現在ではパキスタン技術者だけで回路設計出来るまでに至っていない。日本人専門家、他の研究室の技術者との共同研究が必要である。

この回路には $R_1 \sim R_7$ まで7個の抵抗が入っている。勿論抵抗は全て薄膜技術で作られ、その抵抗値は表3-4-3(追記39頁)に示す。その他3個のトランジスタ、1個のFET 2個のダイオードを含み、これらはdiscreetな部品を半田付した。ここで薄膜導体の基板に対する密着強度、半田付性オーミックコンタクト等のテストを行い全て正常であった。サンプルは4個作ったが、全部正常である。動作状態は本報告では説明することが出来ないが正常に動作した。動作確認は外部にLEDをつけそのランプが点燈する時間を目視して確認した。

追記文(頁)に実験結果と解析を報告し、本文24頁以降に挿入して、報告の

全文とする。前にも書いたが、私がパキスタンを離れる時に全ての実験データ等は置いて彼等の今後の勉強の補足としたため、本文のまとめの時点では手元になかった。その後、彼等がまとめた資料、データを送って来たので追加した。このため報告書が多少前後して読み難くなったことを深くお詫びします。

THIN FILM TECHNOLOGY

Introduction:

Thin Solid Films were first obtained by electrolysis in 1839. In the recorded literature, however, Bunsen and Grove obtained thin film in 1852 by chemical reaction and by glow discharge sputtering respectively. Faraday obtained thin film in 1857 by thermal evaporation.

Applications of Thin Film.

- 1) Optical Instruments (e.g. Reflectors, filters, etc.).
- 2) Magnetic Information storage devices (e.g. computer).
- 3) Electronic circuits.

Thin Film Deposition Methods.

- 1) Physical Methods
 - a) Vacuum Evaporation.
 - b) Sputtering.
- 2) Chemical Methods
 - a) Electro-chemical plating
 - b) Electroless plating.
 - c) Chemical Vapour Deposition (CVD)
 - d) Chemical Reaction.
 - e) Anodization & Oxidation.
 - f) Polymerization.

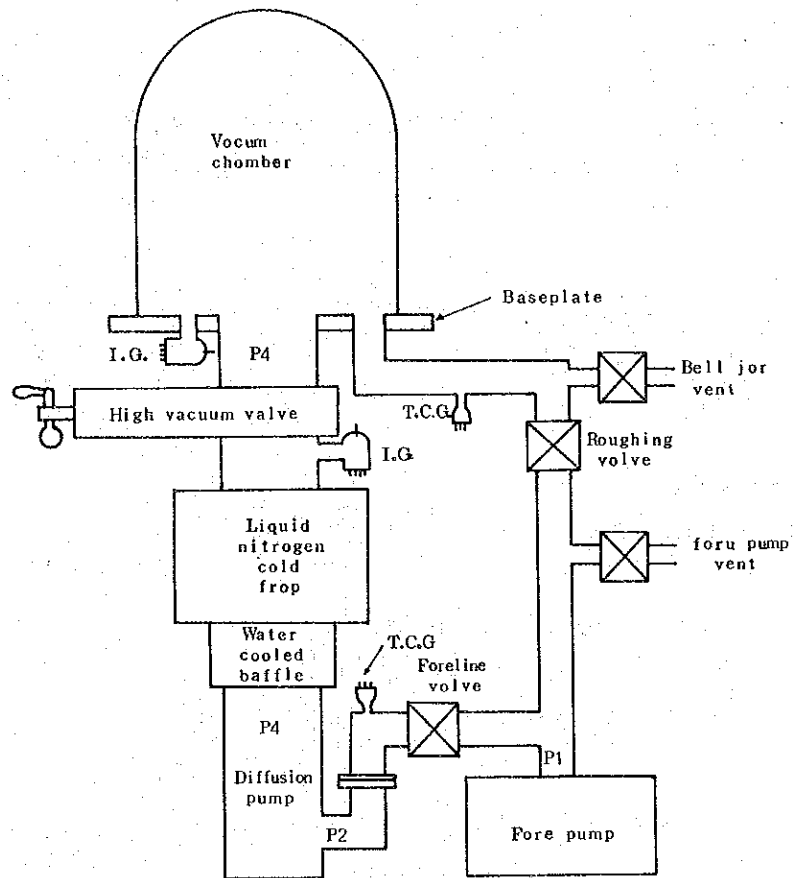
In circuit component Laboratory Vacuum Deposition apparatus is available. This method of Deposition is more sophisticated.

Vacuum Evaporation.

Vacuum evaporation technology has undergone major developments primarily as a result of the demand of thin film technology for better vacuum. There are two types of vacuum evaporators.

- a) Oil Diffusion Pump Bell Jar System.
- b) Getter-Ion Pump Bell Jar System.

A high speed oil diffusion pump system is relatively simple and cheaper. (In Circuit Component Lab. Oil diffusion pump system is provided). It allows rapid 1 Hr. cycling from atmosphere to 10^{-6} to 10^{-7} Torr for bell jar of reasonable size and is therefore, indispensable for routine application. Oil Diffusion Pump is shown in the Fig. 1.



I.G. indicates positions of ionization gauges.

T.C.G. indicates positions of thermocouple of gauges.

Fig. 1

Substrate.

Thin films can't generally support themselves and thus some form of carrier must be provided. This carrier is known as substrate. Ideally a substrate would have no interaction with the thin film except for sufficient adhesion to provide support. In addition, the substrate must be compatible with the deposition process and all subsequent processing or handling necessary for the use of the films another consideration is cost of the substrate. An ideal substrate must have following properties:-

- 1) Atomically Smooth Surface.
- 2) Perfect Flatness.
- 3) No porosity.
- 4) Mechanical Strength.
- 5) Thermal co-efficient of expansion equal to that of deposited film.
- 6) High Thermal Conductivity.
- 7) Thermal and Chemical Stability.
- 8) High Electrical Resistance; and
- 9) Low Cost.

Types of Substrates.

- 1) Glass substrates (Sodalime, lime Alumina silicate).
- 2) Ceramic Substrate.
 - a) (Alumina (Al_2O_3) + Borosilicate)
 - b) MgO.SiO₂ (Steatite)
 - c) ZrO₂.SP2 (Zirconia)
 - d) MgO (Magnesia).

Ceramic Substrates are glazed by Borosilicate. Borosilicate glazing make surface of the substrate smooth.

- 3) Synthetic Sapphire (Generally called "SoS" means Silicon on Sapphire)
Glazed ceramic substrates are used for general purpose thin film deposition.

Substrate Cleaning.

Before using any substrate it must be adequately cleaned. There are many methods for cleaning a substrate. e.v. i) Solvent Cleaning ii) Cleaning by Heat iii) Glow discharge cleaning etc.

In general a substrate is first cleaned by any solvent (e.g. solution of acids, Alkalies and organic solvents) at 80°C temp. for about 2 minutes. Then this cleaned substrate is cleaned with de-ionised water in ultrasonic washer for 5 minutes.

After washing drying is compulsory, because recontamination can occur.

Art Work Generation.

The generation of art work begins with first, a composite of all components and inter-connections in their actual shapes and configuration is needed. This is done by making a drawing on graph paper. Component sizes and the line width must be determined according to the electrical performance requirements and available layout area. Art work requires repeated attempts before an electrically functional as well as technically feasible layout is obtained. The composite circuit layout must then be broken down into individual mask layouts. Each of these possesses only those portions of the circuit pattern which are to be etched in one particular step and from the same film.

The mask layouts are transformed into large scale images of the patterns to be etched. To obtain high degree of accuracy of dimensions- These images are produced at typically 10 to 1,000 times the actual size.

Since the ink-drawn images have relatively poor contrast, the patterns are prepared from laminated plastic sheets. These are Mylar or polyester-base materials whose dimensions are little affected by fluctuations of temperature or humidity. This consists of clear transparent sheet laminated with a red, photographically opaque film. The pattern is carefully cut into the red film and the circumscribed areas are peeled off. The cutting may be performed with a knife guided by hand. Better results are obtained if the cuts are made by precision drafting scribing machines (coordinatographs). Coordinatographs are capable of cutting with an accuracy of $\pm 25\mu$ within X-Y plane. Modern systems are also equipped with digital control and thus allow programmed cutting.

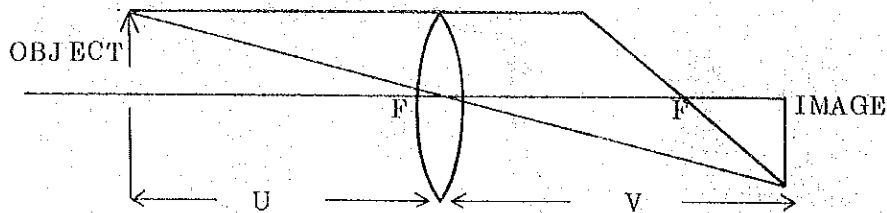
An important point to be observed in the preparation of the original art work is the type of the image required. The original art work undergoes positive-negative as well as left right reversal in every reduction and printing step.

Therefore, the number of mask processing steps planned must be considered so that the cut are work represents a positive or negative of the right polarity with respect to the final mask. The nature of the photo resist, too, has to be taken into account.

Optical Principles of Photo reduction.

The conversion of the art work into photographic masks with the final pattern dimensions requires a drastic reduction in size. This is done by photographing reduced images of the original art work.

A reduced image of an object is obtained if the object and image plane are placed at conjugate foci of a lens as shown in Fig.



The Reduction Ratio Formulae:-

$$\text{Reduction Ratio} \quad R = \frac{U}{V} = \frac{U-f}{f}$$

$$\text{or } R \cdot f = U - f$$

$$\text{or } R \cdot f + f = U$$

$$\text{or } \frac{Rf+f}{V} = \frac{Rf+f-f}{f}$$

$$\text{or } \frac{f(1+R)}{V} = R$$

$$\text{or } V = f(1+1/R) \text{ ----- (A)}$$

Equation "A" shows that reduction ratios 10:1 or greater place the image very close to the focal length 'f' of the lens.

Camera available in Circuit Component Lab is shown in the Fig. The bed of this camera is constructed of 8-inch steel I beams encased in concrete. The structure is 20 ft. long, 5 ft. wide, and weights about 12 tons. The complete rests on air mounts placed under the structure. This construction limits the relative motion between corresponding points on the art master and negative planes to less than 10 millionths of an inch and provides 97% isolation from all vibrations above 3 Hz.

Specifications of the lens used in the above mentioned camera are as follows:

i) Focal length = 150 mm.

Standard Magnification = 1/10th.

Usable magnification range = 1/30th to 1/5th

Resolution = 150 lines/mm.

Overall working distance = 1815 mm.

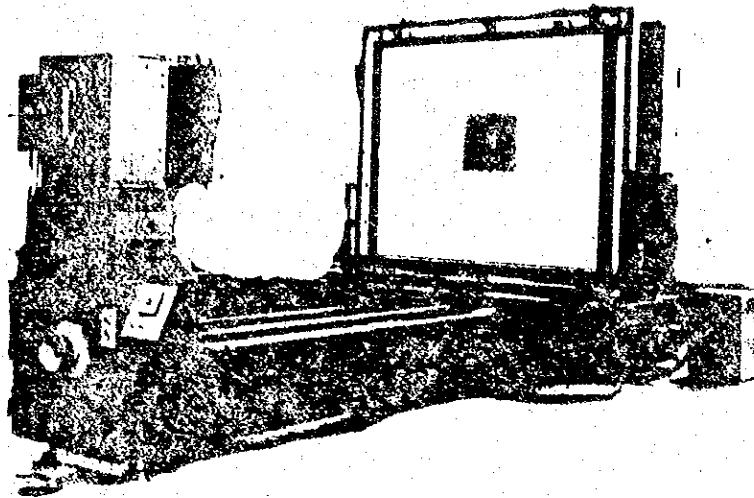


Fig.-2

Design of Thin Film Resistors:

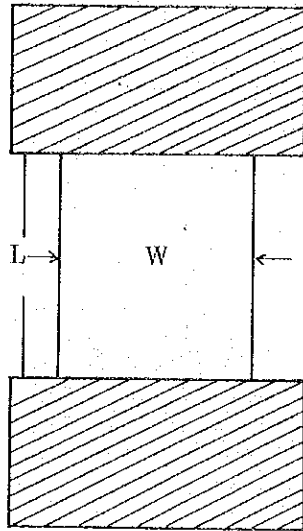
To design a Film Resistor first of all substrate properties are to be considered, because, resistor stability is intimately related to substrate inertness and thermal conductivity. The surface smoothness, or lack of it, can affect sheet resistance.

Resistor Properties:

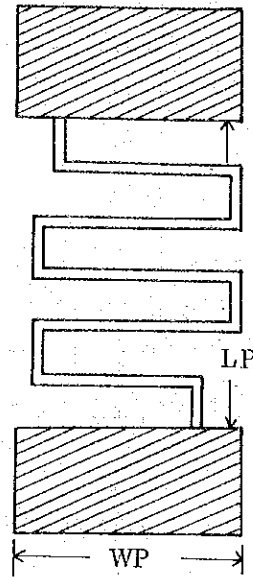
Once the resistor film and substrate materials have been chosen, the design problem consists of establishing a geometrical pattern of a given thickness which meets the resistor requirements of

- 1) Stability with time.
- 2) Power Rating (Power consumption).
- 3) Size.
- 4) Resistance Value (Sheet resistance).
- 5) Initial Precision.
- 6) Parasitics (or frequency response).

General patterns of resistors are shown in the fig. The straight line pattern is normally used for low value resistors, and the meandering line pattern is used for larger values.



(a)



(b)

Stability, Power, and Size:

Average Power Density is defined as the total power dissipated divided by the effective area of the resistor

i.e. Power density $q = \frac{P_R}{A_R}$

The effective area of the resistor is defined as the area of a simple geometric figure that encompasses the entire resistor.

In the case resistor is a straight line.

its effective area $A_R = W \times l$ (W=Width of resistor film)
(l=Length of the resistor film)

In the case film resistor pattern is not straight line as shown in the fig. (b).

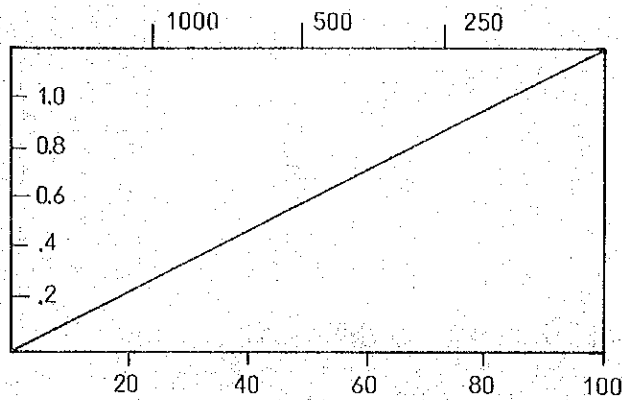
Then effective area $A_R = W_p \times l_p$

W_p = Width of the pattern

l_p = length of the pattern.

Resistor Film Thickness:

Film thickness may affect resistor stability and, since oxidation and oxygen diffusion more seriously affect the top layer of the film, it is natural to expect a layer percentage change in resistance in a thinner film. This effect is evident from the curve plotted in the Fig.



As sheet resistance $R_s = P/d$.

where 'P' is resistivity the film material and 'd' is thickness of the film. Thus percentage change in resistance varies inversely with the thickness of resistor film. On the other hand, for a resistor dissipating a given amount of power, changing the film thickness has a negligible effect on film temperature.

Resistor Line Width:

From the formula

$$R = \frac{P}{d} \times \frac{l}{w}$$

P = resistivity of film resistor

d = thickness of film resistor.

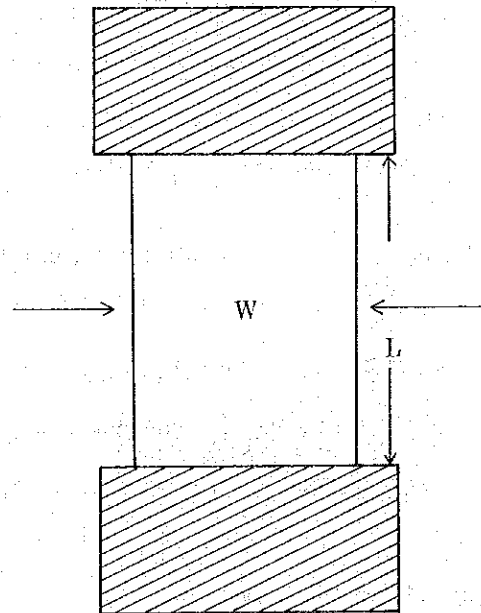
l = length of film resistor

w = width of film resistor

$$\frac{P}{d} = \text{sheet resistance} = R_s$$

$$\frac{l}{w} = \text{no. of squares} = n.$$

$$\text{there-fore } R = R_s \times n$$



Case I

Straight line film Resistor or $n = R/R_s$

as $n = l/w$

$$\text{or } n = \frac{l \times w}{w \times w} = \frac{A_R}{W^2} \quad \text{--- (1)}$$

A_R = effective Area of the film resistor.

Case II

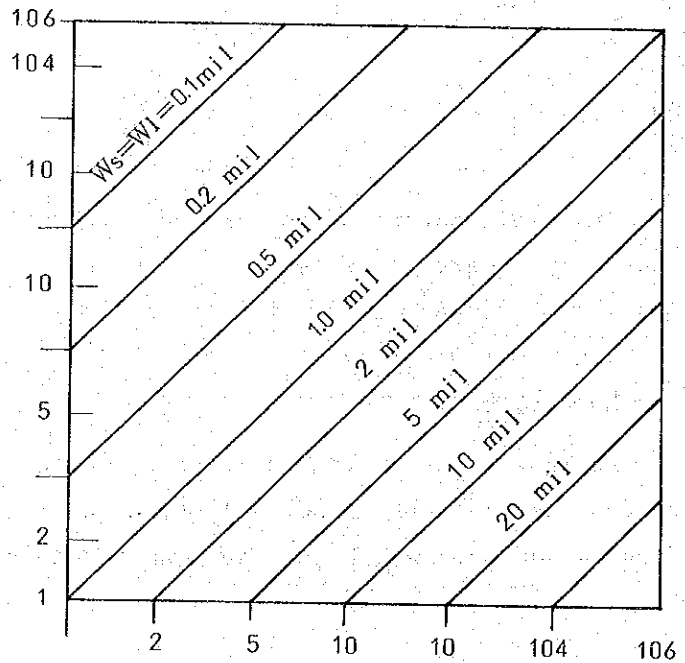
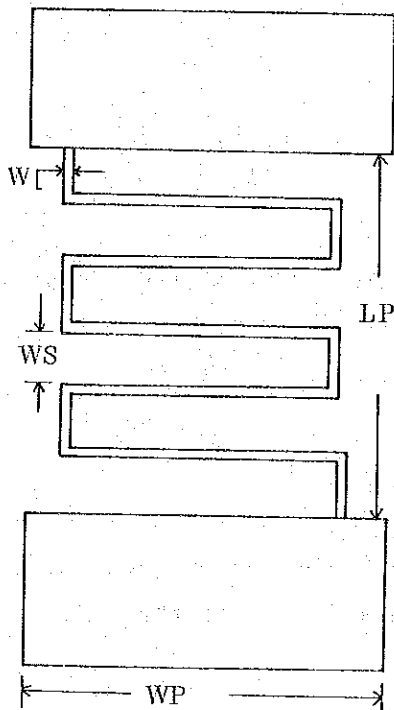
Meandering Line Pattern.

$$n = \frac{l}{\frac{p}{W_s + W_l}} \times \frac{W_p}{W_l} = \frac{AR}{W_l^2 (1 + W_s/W_l)} \quad \text{--- (2)}$$

A_R = effective resistance of the given area.

Graph plotted by using eq. (2)

(When $W_s/W_l=1$) is as shown in the fig.



Above plotted graph shows that high power resistors require wide lines, whereas high value low power resistors can be made with very narrow lines. The minimum line width achievable with chemical etching techniques is about a tenth of a mil.

Corner Effect:

In the region of a bend, the current density is non-uniform and the concept of a square of film material must be interpreted carefully. Number of squares for any resistor should always exceed 0.55. Some typical examples of bending regions are given below:-

$$1) \quad n = \frac{l_1 + l_2}{W} + 0.559$$

$$2) \quad n = l_1/W + 0.469$$

$$3) \quad n = \frac{l_1 + l_2}{W} + 0.32$$

$$4) \quad n = \frac{l_1 + l_2 I}{W} + 0.57 \pm 0.01$$

$$5) \quad n = \frac{l_1 + l_2}{W} + 0.341 \pm 0.005$$

$$6) \quad n = \frac{2l_1}{W} + 2.96 \pm 0.1$$

$$7) \quad n = \frac{\sqrt{r}}{\log \frac{r+w}{W}}$$

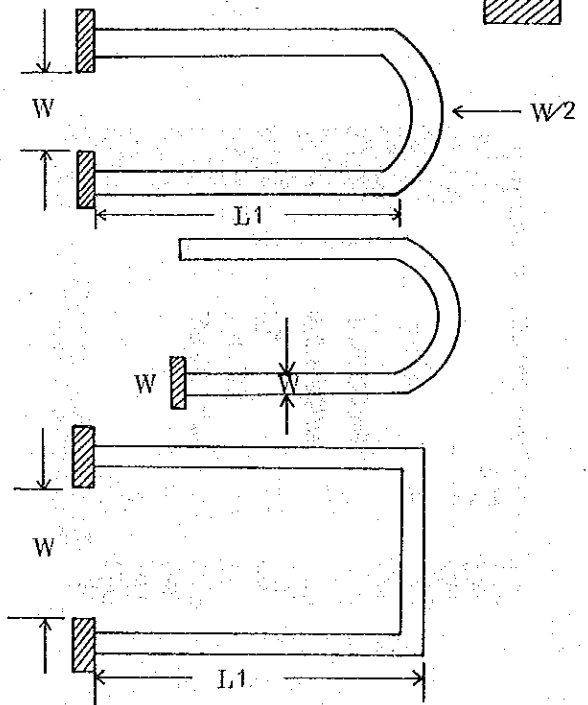
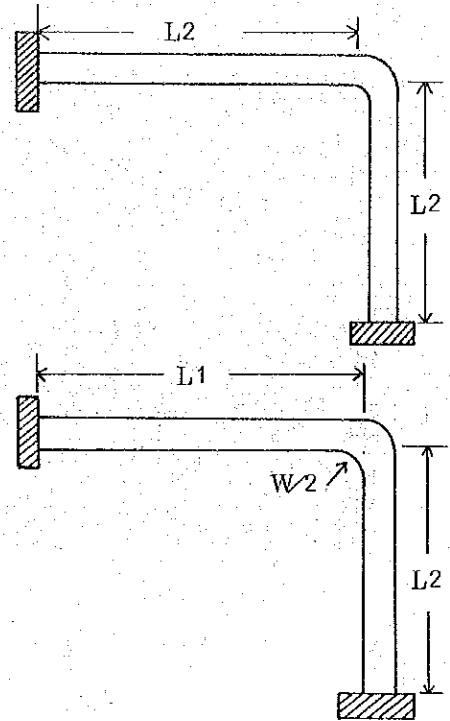
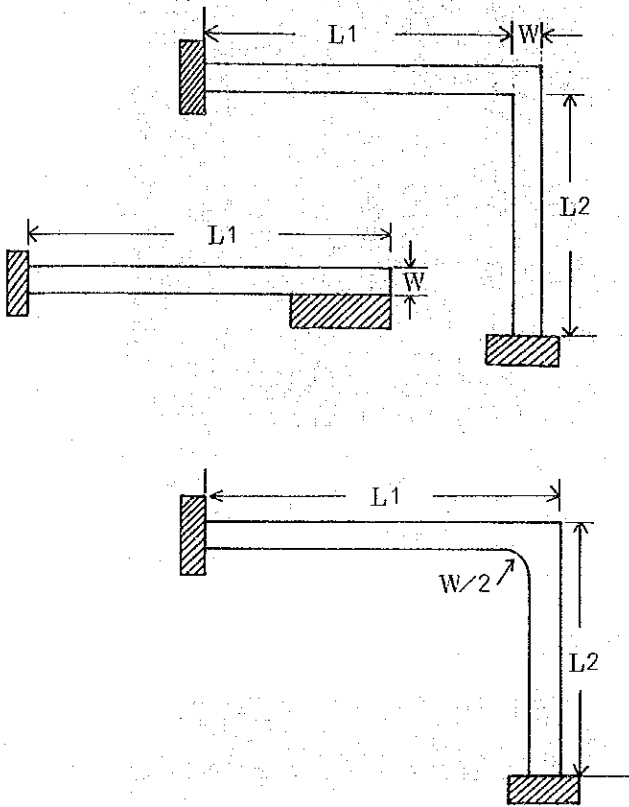
$$8) \quad n = \frac{2l_1}{W} + 2.11 \pm 0.006$$

Any small radius on the inside corner of a right angle bend will decrease the number of squares ascribed to the corner. The decrease n can be approximated for a small corner radius 'r'.

$$\text{i.e. } n = 0.6 \left(\frac{r}{W}\right)^{4/3}$$

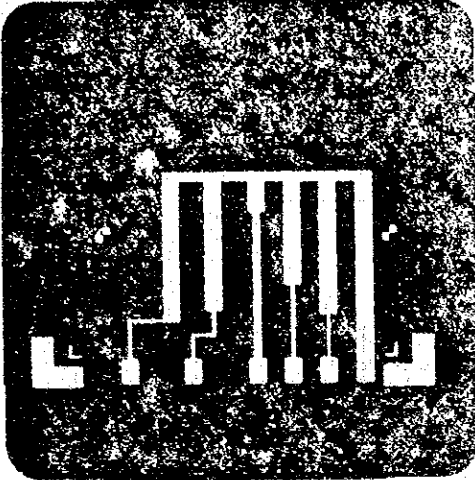
When $r < W/2$.

An inside corner radius is provided to relieve the high current density which occurs near a sharp corner. In high power applications, the current density produces a hot spot which can cause an excessive resistance change at that point.



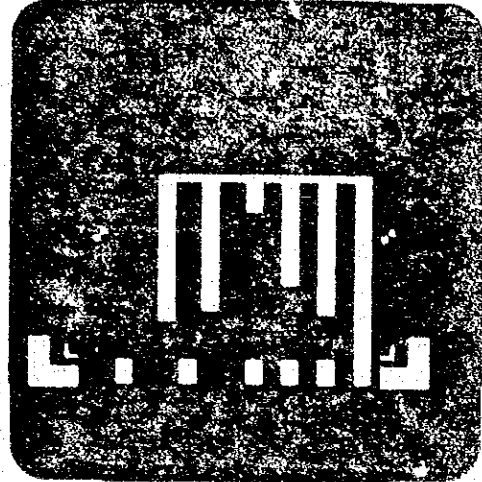
(Fig. 3-4-1)

TEST PATTERN - 1 (1/2)

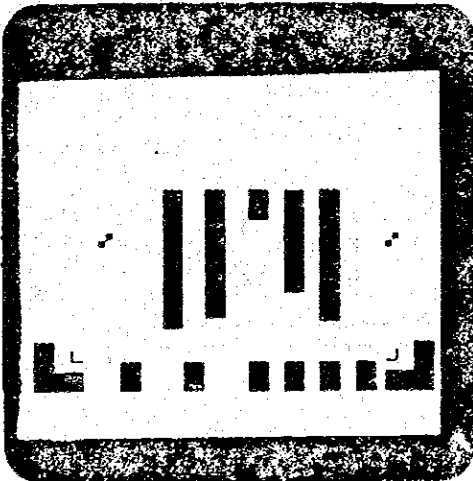


##1st layer
#1st layer (NiCr metal)

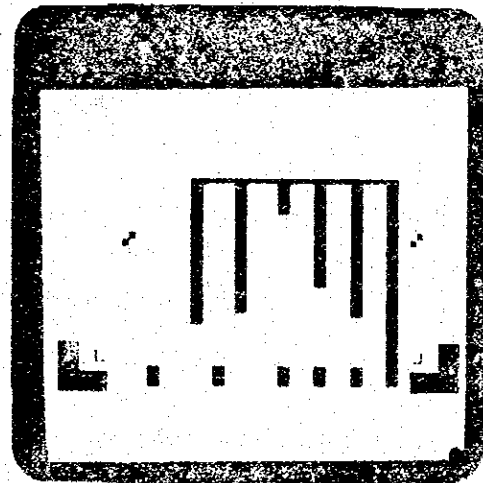
TEST PATTERN - 1 (2/2)



#3rd layer
(NiCr, Cu - conductive layer)



#2nd layer
(SiO Insulator)



#4th layer
(Solder Stopper)

TABLE 3-4-1 DEVIATION OF RESISTANCE for TEST PATTERN - I

Resistor No. Sample No.	R1	R2	R3	R4	R5	Ave. V (Ex- cluded R2)	±5% Limit	Judge- ment A
1	749.4	653.3	682.0	701.9	708.5	710.4	< 746.0 < 674.9	R1
2	710.2	639.2	701.4	708.7	729.1	712.4	< 747.9 < 676.8	
3	734.9	660.1	708.6	716.8	734.4	723.7	< 759.9 < 687.5	
4	710.4	660.4	716.6	737.3	771.5	733.9	< 770.6 < 697.2	R5
Average Value	726.2	653.3	702.2	716.2	735.9			
±5% Limit	< 762.5 < 689.9	< 685.9 < 620.6	< 737.3 < 667.1	< 752.0 < 680.4	< 772.7 < 699.1			
Judgement B								

Unit: Ω

--- CONDITIONS OF VACUUM DEPOSITION ---

EQUIPMENT : Vacuum Evaporator ULVAC, Model EVB--60H

1st layer

- Resistor & Conductor Pattern
- Material ; NiCr
- Pressure ; less than 7×10^{-5} Torr
- Thickness; approximately --- 250 Å (1 Å = 10^{-8} cm)
- Deposition Rate ; --- 10 Å/sec
- Substrate Temperature ; ---200°C

2nd layer

- Insulating Layer
- Material ; SiO
- Pressure ; less than 7×10^{-5} Torr
- Thickness; approximately 350 --- 1000 Å
- Deposition Rate ; --- 5 Å/sec
- Substrate Temperature; 100°C --- 150°C

3rd layer

- Conductor Layer
- Material ; NiCr & Cu
- Pressure ; less than 7×10^{-5} Torr
- Thickness; 1st layer ; NiCr, 150 --- 400 Å
2nd layer ; Cu, 3000 Å --- 1μ
- Deposition Rate ; 1st layer ; NiCr, 2 --- 8 Å/sec
2nd layer ; Cu, 5 --- 15 Å/sec
- Substrate Temperature; 100 --- 200°C

(Fig. 3-4-2)

TEST PATTERN - II (1/2)

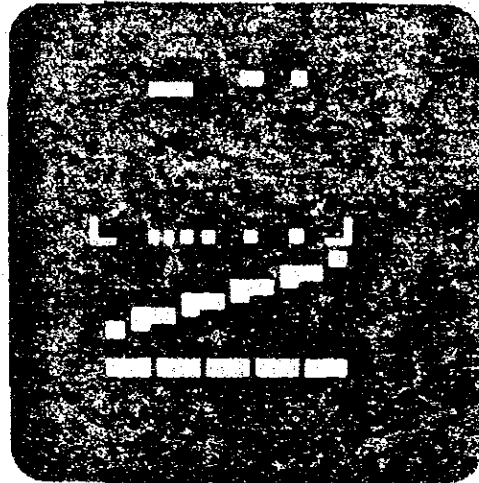
TEST PATTERN - II (2/2)

1st



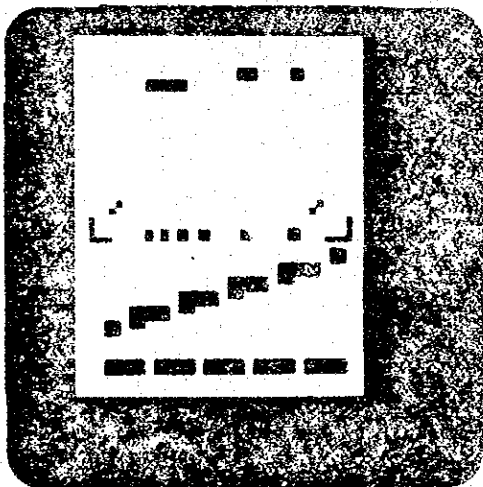
1st layer
(NiCr Resistor
Metal Layer)

3rd



3rd layer
(NiCr & Cu -
conductive layer)

2nd



2nd layer
(Contact Hole on
SiO Insulator)

(TABLE 3-4-2) CIURCUIT COMPONENT LABORATORY CTRL ISLAMABAD

S. No.	Measured Value at Rs. 70	Calculated Value at Rs. 70	Measured Value at Rs. 52	Calculated Value at Rs. 52
R1	105 ohm	105 ohm	79 ohm	78 ohm
R2	141.2	140	105	104
R3	174.0	175	140	130
R4	205.4	210	173	156
R5	240.0	245	166	182
R6	280.0	280	200	208
R7	308.0	315	x	x
R8	367.3	350	263.2	260
R9	386.1	385	255.3	286
R10	454.0	455	335	238
R11	4.85 K Ω	4.989 K Ω	3.691 K Ω	3.706 K Ω
R12	2.03	2.053	1.522	1.526
R13	3.363	3.325	2.441	2.47
R14	1.613	1.662	1.20	1.235
R15	1.114	1.106	825.5 ohm	821.6 ohm
R16	x	x	4.353 K Ω	4.375 K Ω
R17	2.195 K Ω	2.170 K Ω	1.635	1.612

5-4-1981

NiCr deposition

Pressure - 5×10^{-5} Tor
Substrate Temperature - 200°C
Thickness deposited - 400 \AA
Substrate Temp when Bell Jar opened = 50°C

6-4-1981

NiCr - deposition

Pressure - 5×10^{-5}
Substrate Temperature - 200°C
Thickness deposited - 300 \AA
Substrate Temp. when Belljar opened - 50

9-4-1981

NiCr deposition - 300 \AA
Pressure - 4.5×10^{-5} Tor
Substrate Temperature - 200°C
Thickness deposited - 300 \AA
Substrate cooled to 60°C

9-4-1981

SiO deposition

Pressure - 5×10^{-5} Tor
Substrate Temp. - 100°C
Thickness deposited - 500 \AA
Substrate cooled to - 50°C

11-4-1981

SiO deposition

Pressure - 4.5×10^{-5} Tor
Substrate Temperature - 100°C
Thickness deposited - 500 \AA
Substrate Cooled to - 50°C

13-4-1981

Conductor Deposition

NiCr - 400 Å - 3.0×10^{-5} Tor - 150°C

Pressure

Subs. Temp.

Cu - 5000 Å - 2.0×10^{-5} Tor - 150°C

14-4-1981

Conductor Deposition

NiCr - 400 Å - 3.4×10^{-5} Tor - 150°C

Pressure

Subs. Temp.

Vacuum

Cu - 5000 Å - 2.0×10^{-5} Tor - 150°C

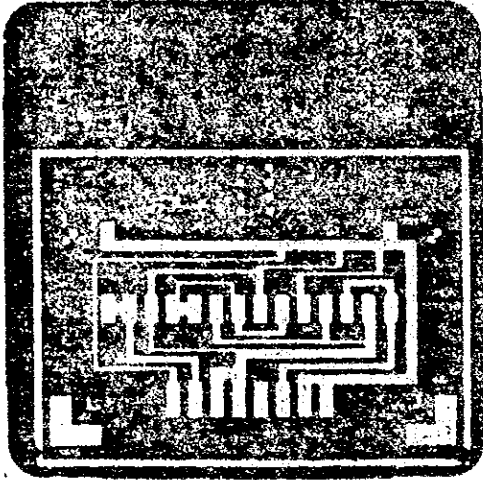
Vacuum

Fig. 3-4-3

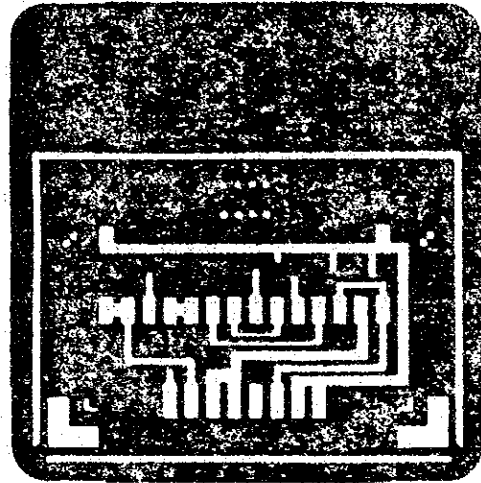
TEST PATTERN - III (1/2)
(Circuit for STARTING DELAY)

TEST PATTERN - III (2/2)

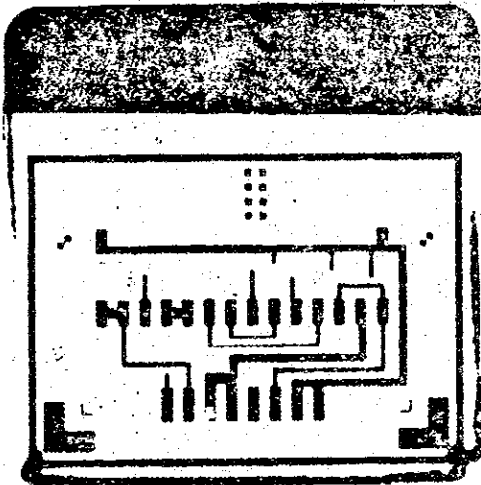
1st



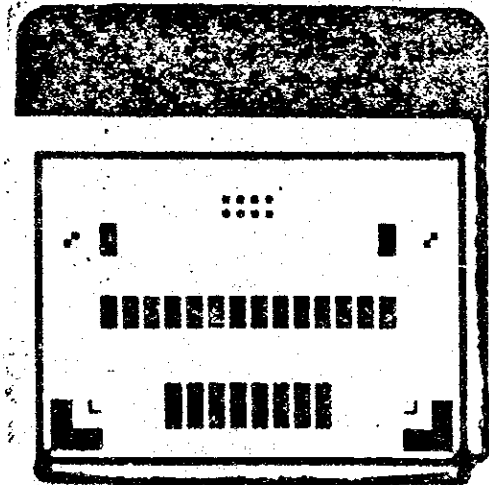
1st layer
NiCr Resistor
(Metal Pattern)



3rd layer
NiCr & Cu -
Conductive Pattern



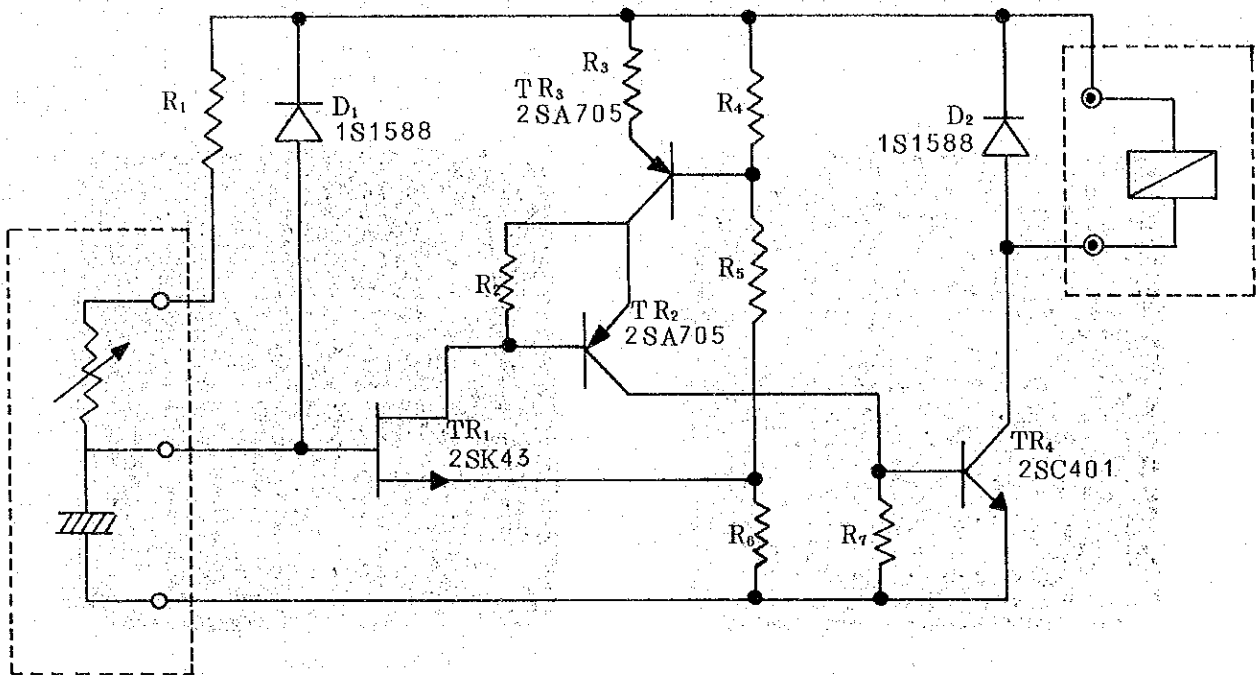
2nd layer
(Contact Hole,
SiO Insulator)



4th layer
Solder Stopping
Resin Pattern

(Fig. 3-4-4)

CIRCUIT for STARTING DELAY (TEST PATTERN - III)



Resistor Element No.

Normal Resistance

R1	10 K Ω
R2	2 K Ω
R3	2 K Ω
R4	2 K Ω
R5	2 K Ω
R6	3 K Ω
R7	1 K Ω

(TABLE 3-4-3) TEST RESULT OF RESISTOR IN TEST PATTERN - III

Sample No.		R1	R2	R3	R4	R5	R6	R7	Av. V of R-sh	±5% limit	Judge-ment
1	Mess. V (KΩ)	10,611	2,160	2,110	2,087	2,215	3,218	1,081	/	< 112.6	
	R-sh (Ω/)	106.11	108.0	105.5	104.4	110.8	107.3	108.1		107.2	101.8
2	Mess V. (KΩ)	10,530	2,132	2,104	2,069	2,093	3,192	1,079	/	110.8	
	R-sh (Ω/)	105.3	106.6	105.2	103.5	104.6	106.4	107.9		105.6	< 100.3
3	Mess. V (KΩ)	11,680	2,339	2,280	2,170	2,246	3,450	1,188	/	< 120.3	
	R-sh (Ω/)	116.8	116.9	114.0	108.5	112.3	115.0	118.8		114.6	108.8
4	Mess V (KΩ)	11,110	2,251	2,209	2,210	2,218	3,404	1,146	/	< 117.5	
	R-sh (Ω/)	111.1	112.5	110.4	110.5	110.9	113.5	114.6		111.9	106.3

Rn: refer to attached charting